



T.C.

GAZİ ÜNİVERSİTESİ

TEKNOLOJİ FAKÜLTESİ

ELEKTRİK – ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ

EE – 303

SAYISAL TASARIM LABORATUVARI

DENEY FÖYÜ



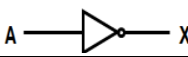




HAZIRLAYANLAR

Arş. Gör. Aynur KOÇAK

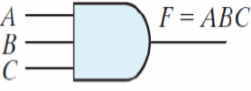
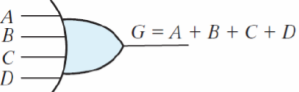


Arş. Gör. Kezban KOÇ



DENEY 2: MANTIK KAPILARININ VHDL KARŞILIKLARI VE BOOLEAN DENKLEMLERİ**DENEY 2.1 Mantık Kapıları**

AND (VE) KAPISI	Doğruluk Tablosu	MANTIKSAL İŞLEM	VHDL KOD KARŞILIĞI		
	A	B	X	$X=A.B$	$X<= A \text{ AND } B;$
	0	0	0		
	0	1	0		
	1	0	0		
	1	1	1		
OR (VEYA) KAPISI	Doğruluk Tablosu	MANTIKSAL İŞLEM	VHDL KOD KARŞILIĞI		
	A	B	X	$X=A+B$	$X<= A \text{ OR } B;$
	0	0	0		
	0	1	1		
	1	0	1		
	1	1	1		
NOT (DEĞİL) KAPISI	Doğruluk Tablosu	MANTIKSAL İŞLEM	VHDL KOD KARŞILIĞI		
	A	X	$X=A'$	$X<= \text{NOT } A;$	
	0	1			
NAND (VEDEĞİL) KAPISI	Doğruluk Tablosu	MANTIKSAL İŞLEM	VHDL KOD KARŞILIĞI		
	A	B	X	$X=(A.B)'$	$X<=A \text{ NAND } B;$
	0	0	1		
	0	1	1		
	1	0	1		
	1	1	0		
NOR (VEYADEĞİL) KAPISI	Doğruluk Tablosu	MANTIKSAL İŞLEM	VHDL KOD KARŞILIĞI		
	A	B	X	$X=(A+B)'$	$X<= A \text{ NOR } B;$
	0	0	1		
	0	1	0		
	1	0	0		
	1	1	0		
XOR KAPISI	Doğruluk Tablosu	MANTIKSAL İŞLEM	VHDL KOD KARŞILIĞI		
	A	B	X	$X=A \oplus B$ $X=A'B+AB'$	$X<= A \text{ XOR } B;$
	0	0	0		
	0	1	1		
	1	0	1		
	1	1	0		
XNOR KAPISI	Doğruluk Tablosu	MANTIKSAL İŞLEM	VHDL KOD KARŞILIĞI		
	A	B	X	$X=(A \oplus B)'$ $X=A'B'+AB$	$X<=A \text{ XNOR } B;$
	0	0	1		
	0	1	0		
	1	0	0		
	1	1	1		

İkiden Fazla Girişli Kapılar

AND (VE) KAPISI	<u>MANTIKSAL İŞLEM</u>	<u>VHDL KOD KARŞILIĞI</u>
	$F=ABC$	$F<=(A \text{ AND } B \text{ AND } C);$
OR (VEYA) KAPISI	<u>MANTIKSAL İŞLEM</u>	<u>VHDL KOD KARŞILIĞI</u>
	$G=A+B+C+D$	$G<=(A \text{ OR } B \text{ OR } C \text{ OR } D);$
NAND (VEDEĞİL) KAPISI	<u>MANTIKSAL İŞLEM</u>	<u>VHDL KOD KARŞILIĞI</u>
	$F= (xyz)'$	$F<= \text{NOT}(x \text{ AND } y \text{ AND } z);$
NOR (VEYADEĞİL) KAPISI	<u>MANTIKSAL İŞLEM</u>	<u>VHDL KOD KARŞILIĞI</u>
	$F=(x+y+z)'$	$F<= \text{NOT}(x \text{ OR } y \text{ OR } z);$

DENEY 2.2 Mantık Kapılarının Sinyal Çıktıları

Deney 1'de yer alan adımlar takip edilerek Vivado programında kod ekranı açıldıktan sonra kaynak dosyaya çalışmanın kodu yazılır.

1. Tasarlayacağımız 2 girişli "AND" kapısının mimarisi için "ARCHITECTURE" kısmında "begin" dan sonra kod yazılır. Kod yazma işlemi bittikten sonra "Ctrl+S" ile yazılan kod kaydedilir. Kaynak dosyada yapılan her değişiklikten sonra aynı işlem tekrar edilmelidir.

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

-- Uncomment the following library declaration if using
-- arithmetic functions with Signed or Unsigned values
--use IEEE.NUMERIC_STD.ALL;

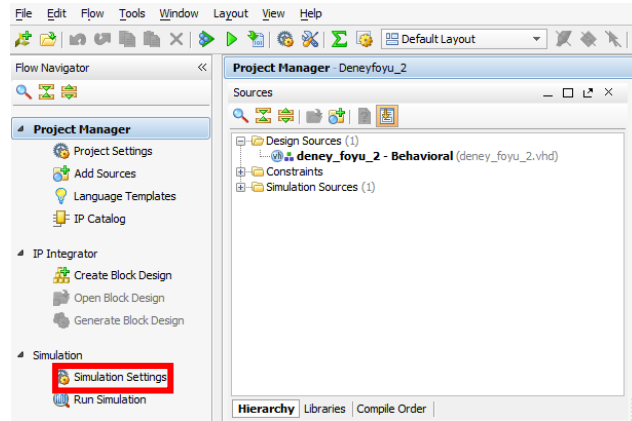
-- Uncomment the following library declaration if instantiating
-- any Xilinx leaf cells in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity deney_foyu_2 is
    Port ( A : in STD_LOGIC;
          B : in STD_LOGIC;
          X : out STD_LOGIC);
end deney_foyu_2;

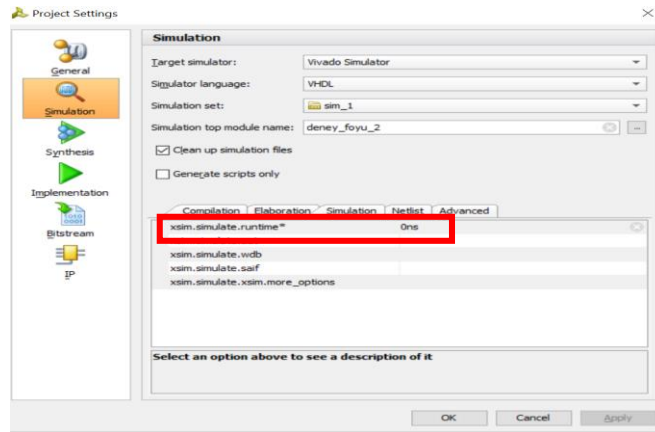
architecture Behavioral of deney_foyu_2 is
begin
X<= A AND B;
end Behavioral;

```

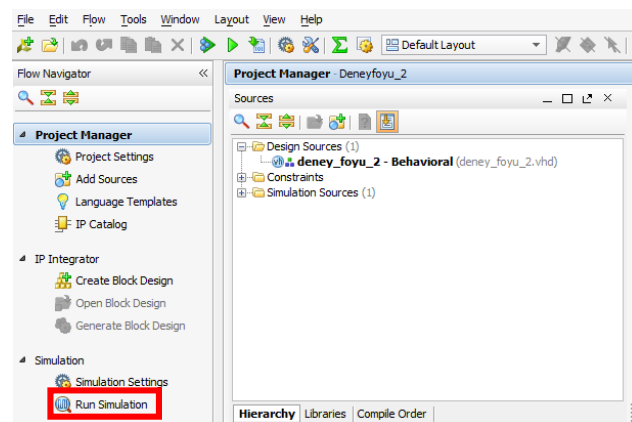
2. Simülasyon ayarlarında değişiklik yapmak için ekranın sol kısmında yer alan “Simulation Settings” seçeneği seçilir.



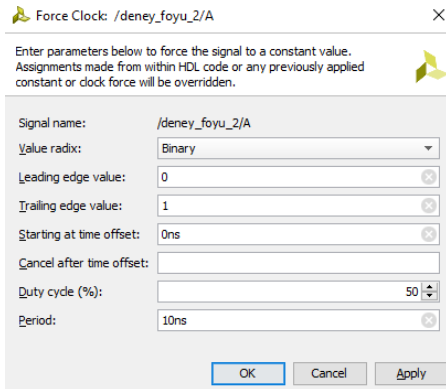
3. Simülasyonun bekleme süresini kısaltmak için simulate runtime “Ons” olarak ayarlanır ve “Apply” ile kaydedilir.



4. Ayarlamalar yapıldıktan sonra “Run Simulation” seçeneği ile simülasyon çalıştırılır.

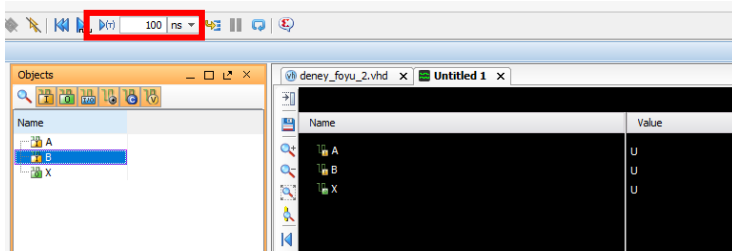


5. Simülasyon ekranı açıldıktan sonra “Object” kısmında yer alan giriş portlarına değer atamaları yapılır. Atamalar yapılırken değişkenler üzerine gelinip farenin sağına tıklatılarak tek bir değer verilecekse “**force constant**” değişken değerlikte olacakta “**force clock**” seçeneği seçilir. Deneylemimiz boyunca portların farklı değerlerine göre çıkışı yorumlayacağımız için “**force clock**” seçeneği seçilir.



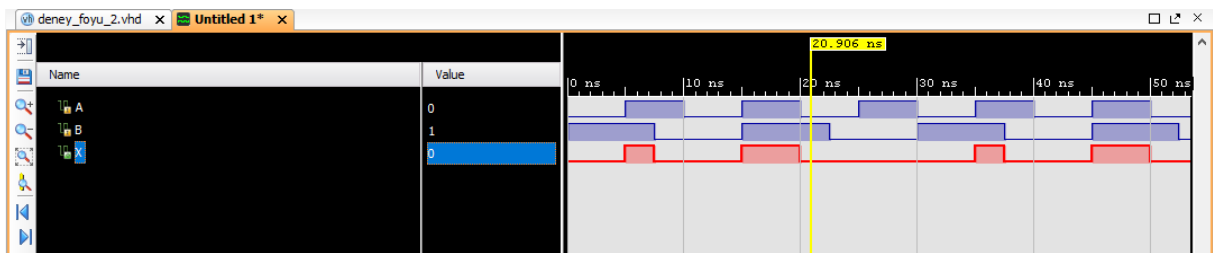
Yandaki görüntüde “Leading edge value” alçalan kenarı yani A değişkeninin başlangıç değerini ifade eder. “Trailing edge value” ise yükselen kenarını yani yarım periyottan sonraki alacağı değeri ifade etmektedir. En altta yer alan “Period” kısmı ise A değişkeninin periyot süresini ifade etmektedir.

6. Aynı işlem B değişkeni içinde uygulandıktan sonra x çıktı değerini gözlemek için simülasyonumuzun toplam çalışma süresi ayarlanır.






Ekranın üst kısmında yer alan çalışma süresi değişkenlerimize verdiğimiz periyot sürelerine göre ayarlanmalıdır. Sonrasında ise kutucuk içerisinde yer alan “Run” sekmesi seçilerek simülasyon çalıştırılır.

7. A değişkeninin periyodu 10 ns, B değişkeninin periyodu 15 ns olarak ayarlandıktan sonra elde edilen X çıktısının sinyal çıktısı aşağıdaki gibidir:



DENEY 2.3 Laboratuvar Çalışması

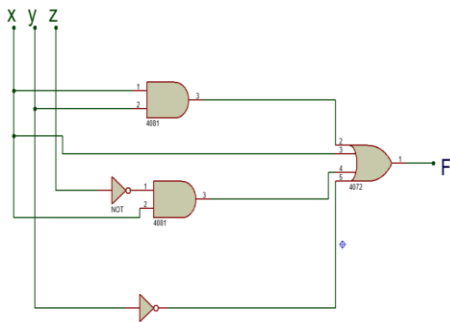
1. Yukarıdaki işlemler iki girişli "AND" kapısı için gerçekleştirilmiştir. Bu adımları örnek olarak aşağıda yer alan kapıların kodlarını yazarak çıktılarını çiziniz. (A değişkenin periyodu 15ns, B değişkenin periyodu 25ns olarak ayarlanacaktır.)

<u>KAPILAR</u>	<u>VHDL KOD</u>	<u>SİNYAL ÇIKTISI</u>
		
		
		

2. $F = xy + y' + (z'x) + x$ ifadesini kullanarak,

- F değerini lojik kapılarla ifade ediniz.
- F çıkış değeri için doğruluk tablosunu çıkartınız.
- VHDL kodunu yazarak F çıktısını elde ediniz.
- F ifadesinin simülasyon çıktısını elde ediniz.

a)

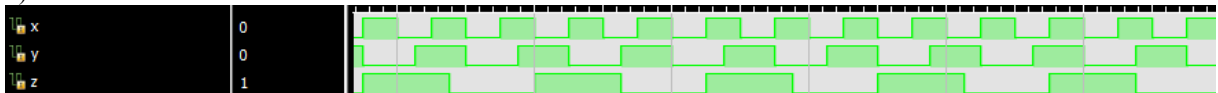


b)

x	y	z	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

c) F<=

d)



3) $Q = [a'b' + (a+b)']' + b$ ifadesini sadeleştirerek,

- Q değerini lojik kapılarla ifade ediniz.
- Q çıkış değeri için doğruluk tablosunu çıkartınız.
- VHDL kodunu yazarak Q çıktısını elde ediniz.
- Q ifadesinin simülasyon çıktısını elde ediniz.

$[a'b' + (a+b)']' + b$ ifadesinin sadeleştirilmesi için Boolean özellikleri kullanılırsa,

$$(a+b)' = a'.b' \quad (a.b)' = a' + b' \quad (a')' = a \quad a+a' = 1 \quad a*a' = 0 \quad a+a+\dots+a = a$$

1. Aşama için ilk terimin NOT ifadesi paranteze dağılır,

$$[a'b' + (a+b)']' \rightarrow (a'.b')' . ((a+b)')'$$
 olarak elde edilir.

2. Aşamada terimler tek tek incelendiğinde,

$$(a'.b')' \rightarrow (a+b)$$

$$((a+b)')' \rightarrow (a+b)$$

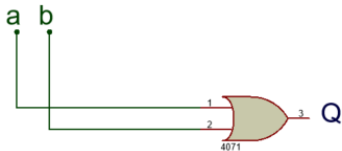
3. Aşamada terimler birleştirilir,

$[(a+b).(a+b)] + b$ elde edilen denklemin ilk terimine dağılıma özelliği uygulandığında

$$a.a + a.b' + a.b + b.b' \rightarrow a + a.b' + a.b \quad \text{olur.}$$

$$a + a.b' + a.b + b \rightarrow a + a(b'+b) + b \rightarrow a + a + b \rightarrow a+b \text{ sonucuna ulaşılır.}$$

a)



b)

a	b	Q
0	0	0
0	1	1
1	0	1
1	1	1

c) $Q \leq$

d)



ÖDEV

1) 2 girişli NOR, XOR ve XNOR mantık kapılarını ve 4 girişli AND, OR, NAND ve NOR mantık kapılarını, “Laboratuvar Çalışması 1” kısmındaki aynı formatta ifade ediniz. 2 girişli özel kapılar için kullanacağınız değişkenlerin periyot süreleri 15 ve 20 ns olarak ayarlanacaktır. Her iki değişkenin başlangıç değerlerinin birbirinden farklı olması istenmektedir. Ayrıca simülasyon ekranı için toplam çalışma süresi 500ns olarak ayarlanacaktır.

KAPILAR**VHDL KOD****SİNYAL ÇIKTISI**

2) $F = [(x+y)' + z]' + z'x' + [(x+t)' + x']$ ifadesini sadeleştirerek,

- a) F değerini lojik kapılarla ifade ediniz.
- b) F çıkış değeri için doğruluk tablosunu çıkartınız.
- c) VHDL kodunu yazarak F çıktısını elde ediniz.
- d) F ifadesinin simülasyon çıktısını elde ediniz.

EK – 1: DENEY RAPORUNUNUN HAZIRLANIŞI

1. Deney raporları deney föyüne ek olarak A4 boyutundaki çizgisiz kâğıda hazırlanacaktır. Kâğıdın sol kenarından 2,5 cm, diğer kenarlardan 1 cm boşluk bırakılarak çerçeve çizilecek ve rapor bu çerçeve içerisine el yazısı ile yazılacaktır.
2. Rapor içeriği aşağıda verilen konu başlıklarını içerecektir.
3. Deney raporlarında çizilecek grafiklerde milimetrik kâğıt kullanılacaktır.
4. Raporlar deney yapıldıktan bir hafta sonra teslim edilecektir. Öğrenci 1. Haftadan sonra da raporlarını teslim edebilir fakat geç teslim edenlerden gün başına %5 not kesilir. 2. Haftadan sonra kesinlikle rapor kabul edilmez.
5. Deney ve rapor birlikte değerlendirilmektedir. Deneye katılmayan rapor veremez. Deneye katılan öğrenci rapor vermez ise o haftaki deneyden not alamaz.
6. Deney raporunda bir sonraki sayfada verilen rapor kapağı kullanılacaktır.
7. Rapor düzeni “Kapak + Deney Föyü + Rapor” şeklinde sıralanacak ve plastik kapaklı dosyaya yerleştirilerek teslim edilecektir.

T. C.
GAZİ ÜNİVERSİTESİ
TEKNOLOJİ FAKÜLTESİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ

EE – 303
SAYISAL TASARIM LABORATUVARI
DENEY RAPORU

Deneyin yapıldığı tarihi :.....

Deney No :.....

Deneyin Adı :.....

.....

Hazırlayan:

Öğrenci No :.....

Adı Soyadı :.....

Sınıfı :.....