



T.C.

GAZİ ÜNİVERSİTESİ

TEKNOLOJİ FAKÜLTESİ

ELEKTRİK – ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ

EE – 303

SAYISAL TASARIM LABORATUVARI

DENEY FÖYÜ

HAZIRLAYANLAR

Arş. Gör. Aynur KOÇAK

Arş. Gör. Kezban KOÇ



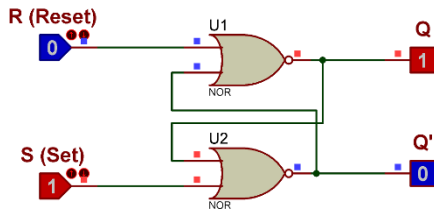
DENEY 9. ARDIŞIL LOJİK – FLİP FLOPLAR

Teorik Bilgi: Her sayısal sistemde entegre devreler bulunsa da, pratikte rastlanan sistemlerin çoğunda sıralı mantık terimi ile adlandırılan bellek elemanları da vardır. Bellek elemanlarının girişinde saat darbeleri kullanan sıralı devrelere ise saatli sıralı devreler denir. Bu devreler kararlı çalışmaktadır.

Flip-Floplar: Sıralı devrelerde kullanılan bellek elemanlarına “Flip-Flop” denmektedir. Bu devreler bir bitlik bilgi saklama yeteneğine sahiptirler. Flip-Floplar tek bir durum sinyali ile ilgili bir durumu devreye güç verildiği sürece korur.

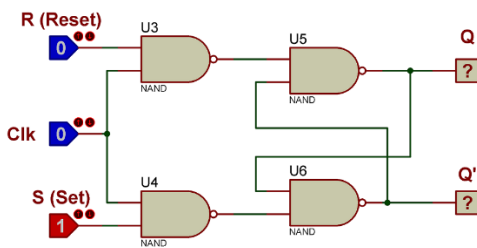
RS Flip-Flop:

RESET ve SET kelimelerinin ilk harflerinden ismini alan bu Flip-Flop çeşidinde, girişler R ve S, çıkışlar ise Q ve Q' uçları olarak kodlanmıştır. Görüldüğü gibi Q ve onun değili olan Q' birbirlerinin tersi seviyesindedir. Q=1 ise Q'=0 seviyesindedir. Q=0 ise Q'=1 seviyesindedir.



S	R	Q	Q'
0	0	Q	Q'
0	1	0	1
1	0	1	0
1	1	X	X

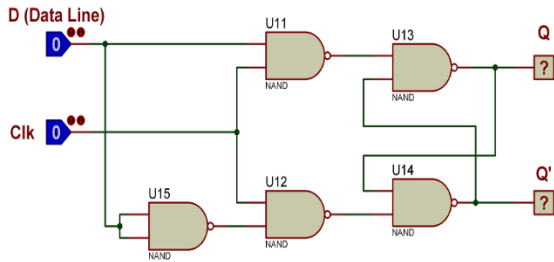
RS Flip-Flop'lara bir tetikleme devresi ilave edilerek daha kullanışlı hale getirilmiştir. Bu durumda değişkenlerin çıkıştaki yansıması için R ve S girişlerine uygulanan değerlere ek olarak bir tetikleme darbesi (clock pulse) uygulanması gerekir. Tetikleme darbesi olarak logic “1” seviyesi kullanılır.



Q	S	R	Q _(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Tanımsız
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Tanımsız

D (DATA) Tipi Flip-Flop:

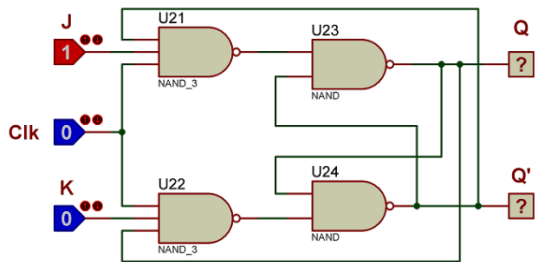
D tipi Flip-Flop uygulamada bellek elemanı olarak kullanılmaktadır. D Tipi Flip Flop tetiklemeli R-S flip-flop değiştirilerek elde edilmiştir. Giriş, D çıkışlar ise Q ve Q' uçları olarak belirlenmiştir. D girişine uygulanan sinyal, tetikleme (clock) girişine bir tetikleme darbesi uygulandığında Q çıkışına aktarılır. D=1 ise Q=1 ve Q'=0'dır. Eğer tetikleme darbesi uygulanmamış ise çıkışlarda bir değişiklik olmaz ve durumlarını korurlar.



Q_t	D	$Q_{(t+1)}$
0	0	0
0	1	1
1	0	0
1	1	1

J-K Flip-Flop:

J-K Flip-Flop'u RS Flip-Flop'undaki tanımsızlık durumunun J-K Flip-Flop'unda tanımlı hale getirilmesi açısından RS'in geliştirilmiş türüdür. J ve K girişleri SET (kurma) ve RESET (silme) için kullanılır. (J=SET; K=RESET) J ve K girişlerine aynı anda "1" uygulandığında Flip-Flop değilleyen (eviren) durumuna geçer. $Q_{(t)}=1$ ise $Q_{(t+1)}=0$; $Q_{(t)}=0$ olduğunda ise $Q_{(t+1)}=1$ olur.



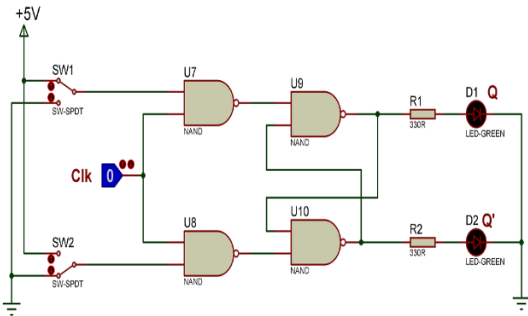
$Q_{(t)}$	J	K	$Q_{(t+1)}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

LABORATUVAR ÇALIŞMASI:**1. RS Flip Flop**

a. BL-3001 modulünü ana üniteye yerleştirin ve **I** bloğunu bulun. Bu bloktaki R-S Flip-Flop, dört adet VEDEĞİL kapısı kullanılarak (7400 entegresi) tasarlanmıştır. Q ve Q' çıkışları ise bu çıkışlara bağlantısı yapılmış LED'ler yardımı ile gözlemlenebilir.

b. H bloğundaki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK), **I** bloğundaki CLK girişine bağlayın. H bloğundaki S6 butonu ile Flip-Flop'a saat darbesinin uygulanması sağlanır. Yine aynı bloktaki CLK LED'i ile saat darbesi gözlemlenebilir.

c. BLOK-I'da, S1 ve S2 anahtarları ile Flip-Flop'un R ve S girişlerine uygulanacak lojik seviyeler ayarlanabilir. Tablo'da verilen doğruluk tablosuna göre, her bir giriş değerlerini anahtarlar yardımı ile ayarlayın ve saat darbesini uygulayarak çıkıştaki değişimi gözlemleyin. Q ve Q' çıkışlarının lojik değerlerini kaydedin.



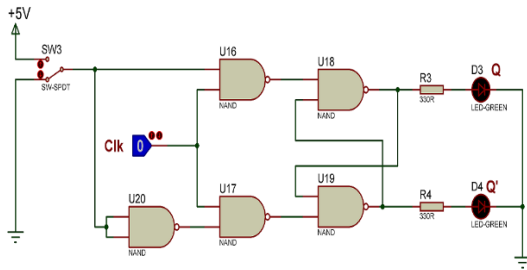
CLK	S	R	Q	Q'
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

2. D Flip-Flop

a. **BL-3001** modülündeki **J** bloğunu bulun. Bu bloktaki D-Tipi Flip-Flop, beş adet VEDEĞİL kapısı kullanılarak (7400 entegresi) tasarlanmıştır. Q ve Q' çıkışları ise bu çıkışlara bağlantısı yapılacak LED'ler yardımı ile gözlemlenebilir.

b. **BLOK-H**'daki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK), **BLOK-J**'daki CLC girişine uygulayın.

c. Tabloda verilen Q_t ve D değerlerine göre $Q_{(t+1)}$ 'i gözlemleyiniz.



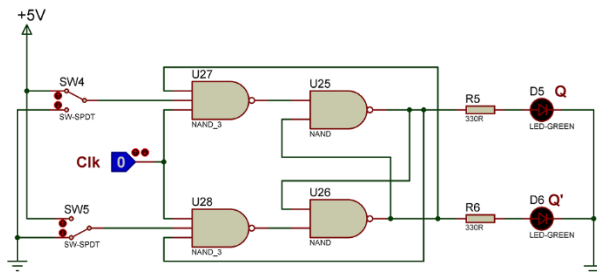
Q_t	D	$Q_{(t+1)}$
0	0	
0	1	
1	0	
1	1	

3. J-K Flip Flop

a. **BL-3001** modülündeki **K** bloğunu bulun.

b. **BLOK_H**'daki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK), **BLOK-K**'daki CLK girişine uygulayın.

c. S₄ anahtarı ile J ve S₅ anahtarı ile de K girişinin değerlerini değiştirerek Flip-Flop çıkışındaki değişimleri gözlemleyiniz.



Q_t	J	K	$Q_{(t+1)}$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

ÖDEV

1. T tipi Flip-Flop devresini uygun kapılar kullanarak tasarlayınız. Devreyi Proteus programı ile çizerek ekran görüntüsünü raporunuza ekleyiniz.
2. T tipi Flip-Flop'un doğruluk tablosunu oluřturunuz.
3. Deney föyünde verilen Flip-Floplardan uygun olanları kullanarak Master-Slave tipi Flip-Flop tasarlayınız. Devreyi Proteus programı ile çizerek ekran görüntüsünü raporunuza ekleyiniz.
4. Master-Slave tipi Flip-Flop'un doğruluk tablosunu oluřturunuz.

