



T.C.

GAZİ ÜNİVERSİTESİ

TEKNOLOJİ FAKÜLTESİ

ELEKTRİK – ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ

EE – 365

ELEKTRONİK LABORATUVARI – II

DENEY FÖYÜ

DÜZENLEYEN

Arş. Gör. Özcan AKÇEŞME



Gazi Üniversitesi Rektörlüğü 06500 Teknikokullar / Ankara / TURKEY

T +90312 2022000 • F +90312 2213202

gazi.edu.tr

İÇİNDEKİLER

LABORATUVAR GENEL KURALLARI	3
DENEY SIRASINDA UYULACAK KURALLAR	5
CİHAZ / YAZILIM KULLANIM TALİMATLARI	7
DENEY NO: 1 — Ortak Emiterli Ses Yükselteci.....	8
DENEY NO: 2 — Darlington Bağlantılı Yükselteç.....	14
DENEY NO: 3 — JFET Giriş Karakteristiğinin İncelenmesi	17
DENEY NO: 4 — JFET'in DC Karakteristiğinin İncelenmesi	22
DENEY NO: 5 — Transistörlerde Kazanç-Bant Eğrisinin Elde Edilmesi	25
DENEY NO: 6 — Eviren ve Evirmeyen Yükselteçler	30
DENEY NO: 7 — Türev Alıcı	40
DENEY NO: 8 — İntegral Alıcı.....	44
DENEY NO: 9 — B Tipi Yükselteç Çalışmasının İncelenmesi.....	47
DENEY NO: 10 — C Tipi Yükselteç Çalışmasının İncelenmesi.....	50
DENEY NO: 11 — Seri Gerilim Regülatörü	53
EK – 1: Deney Raporunun Hazırlanışı	55
EK – 2: Osiloskop Görüntüleri Nasıl Çizilir?	56
EK – 3: Malzeme Listesi.....	57
Rapor Kapağı	59

LABORATUVAR GENEL KURALLARI

1. Laboratuvarların ciddi çalışma yapılan bir ortam olduğu hiçbir zaman akıldan çıkarılmamalı ve laboratuvarlarda düzeni bozacak veya tehlikeye yol açabilecek şekilde hareket edilmemelidir.
2. Sözlü/yazılı bütün kurallara dikkatle uyulmalı, anlaşılmayan kısımlar laboratuvar sorumlularına sorulmalıdır.
3. Hafta içi mesai saatleri dışında ve hafta sonları laboratuvarlardan sorumlu öğretim üyesinin yazılı izni olmadan ve gerekli feragat dilekçesi doldurulmadan öğrencilerin laboratuvarlarda çalışmaları yasaktır.
4. Laboratuvarda sorumlu kişi izin vermedikçe hiçbir deney düzeneğine ve diğer malzemelere dokunulmamalıdır.
5. Laboratuvara izinsiz girip çıkmak yasaktır.
6. Deneysel çalışmalar sadece sorumlunun size anlattığı ve gösterdiği şekilde yapılır. Asla anlatılan ve gösterilen deney yönteminden farklı bir yöntem izlenmez.
7. Laboratuvarda asla şaka yapılmamalı, öğrenciler kendi aralarında sohbet etmemelidir. Bu hem tehlikeli hem de yasaktır.
8. Palto, ceket, çanta vb. kişisel eşyaların laboratuvardaki askılara asılması gerekmektedir.
9. Laboratuvarda kravat, atkı, şal vb. döner motorlar tarafından çekilebilecek uzun aksesuarlar kullanılmamalıdır.
10. Yüzük, bileklik gibi takılar deneyden önce çıkarılmalı ve deney boyunca kullanılmamalıdır.
11. Islak elle ve giysiler ile deney yapılmamalıdır.
12. Laboratuvarda yemek, içmek (su, içki ve özellikle sigara) gıda malzemelerini bulundurmak, laboratuvar ekipmanlarını bu amaçla kullanmak kesinlikle yasaktır.
13. Laboratuvardaki uyarı levhaları dikkate alınmalı ve gereği yapılmalıdır.
14. Laboratuvarda çalışıldığı sürece çalışmanın özelliğine deney sorumlusunun zorunlu tuttuğuna göre kişisel koruyucu donanım kullanılmalıdır.
15. Herhangi bir ekipman düşmesine ve cam kırıklarına tedbir olarak daima kapalı ayakkabı giyilmelidir.
16. Uzun saçlar, sallantılı takılar ve bol elbiseler laboratuvar ortamında tehlikeye yol açacaklarından dolayı; uzun saçlar arkada toplanmalı, sallantılı takılar çıkarılmalı, bol elbise giyilmemelidir.
17. Laboratuvar izinsiz terk edilmemelidir.
18. Laboratuvarda kullanılan masa, sandalye, koltuk vb. eşyalar düzenli bir şekilde bırakılmalıdır.
19. Her öğrenci dersin laboratuvar kısmında, dersin başlama saatinde laboratuvarda deney malzemeleri ve deney föyü ile hazır bulunmalıdır.
20. Her öğrenci, deneyini daha önceden belirlenen gruplar dâhilinde yapacaktır.
21. Deney masalarında bulunan numaralandırılmış cihaz ve aletler, deneylerin düzenli yapılabilmesi için **KESİNLİKLE** yer değiştirilmeyecektir.

22. Her grup, kendisine tahsis edilen masa ve masada bulunan cihaz ve aletlerden sorumlu olacaktır; deneye başlamadan önce alet ve cihazların sağlamlık kontrolünü yapacak sonrada deneye başlayacaktır. Arızalı ölçü aleti olacak olursa öğretim üyesine bildirecek, aksi takdirde deney esnasında masasında arızalı ölçü aleti çıkacak olursa mesuliyet o masaya ait olacaktır.
23. Her grup deney malzemelerini ve deneyi kuracakları breadboardları kendileri getirecektir. Deney malzemeleri olmayan grup o deneyden başarısız sayılacaktır.
24. Her grup deney bitiminde, masasında bulunan alet ve cihazların sağlamlık kontrolünü yapıp, masasını ve sandalyesini düzenleyecek, arızalanan ölçü aletini öğretim üyesine bildirecektir.
25. Öğrenci, öğretim elemanlarına yaptıkları deney ile ilgili ölçümlerini gösterip imzalattıktan sonra laboratuvardan çıkabilecektir.

DENEY SIRASINDA UYULACAK KURALLAR

1. Deneye başlamadan önce, laboratuvarda bulunan cihazların kullanma talimatını okuyunuz.
2. Laboratuvarda bulunan panolara kesinlikle dokunmayınız.
3. 13 mA'den büyük akım veya 40 V'dan büyük gerilimler insan sağlığı için tehlike arz etmektedir ve öldürücü etkisi vardır. Oluşabilecek çeşitli kazalardan ve elektrik çarpmalarından korunmak için size düşen önlemleri alınız ve görevlilerin uyarılarına mutlaka uyunuz. Aksi takdirde oluşacak tüm kaza ve yaralanmalardan tüm sorumluluk size aittir.
4. Laboratuvarda çalışma yaparken, devre kurarken kesinlikle enerji kesilmelidir. Devre çalışır hale geldikten sonra sisteme enerji verilmelidir.
5. Ölçü aletlerini ölçüm kademelerinin sınırı dışındaki akım veya gerilim kademelerinde çalıştırılmamalıdır. Güç kaynakları düşük gerilimden başlayarak istenilen gerilim seviyesine alınır.
6. Devre tamamlanıp, ölçümler yapıldıktan sonra enerji kesilmelidir.
7. Deney esnasında yolunda gitmeyen bir durum fark edildiği anda vakit geçirmeden deney sorumlusuna haber verilmelidir.
8. Hasara uğramış veya çalışmayan cihazları derhal laboratuvar görevlisine bildirilmelidir.
9. Laboratuvarda çalışma yaparken, devre kurarken kesinlikle enerji kesilmelidir. Devre çalışır hale geldikten sonra sisteme enerji verilmelidir.
10. Deney sorumlusu kurduğunuz devreyi kontrol etmeden deney setine enerji verilmemelidir.
11. Devre tamamlanıp, ölçümler yapıldıktan sonra enerji kesilmelidir.
12. Laboratuvardan ayrılırken ;
 - a. Bütün cihazları kapatınız.
 - b. Cihazları ve kabloları yerlerine koyunuz.
 - c. Masa ve sandalyeleri düzenli şekilde bırakınız.
13. Sinyal jeneratörünü kullanırken aşağıdaki kurallara uyunuz;
 - a. "Output" tuşuna basmadan önce kısa devre kontrolü yapınız.
 - b. "Output" tuşuna basmadan önce güç kaynağına cihazın direkt bağlı olmadığına emin olunuz.
14. İki kanal kullanılıyorsa, "Output" tuşuna basmadan önce kanalların birbirine direkt bağlı olmadığına emin olunuz.
15. Osiloskop kullanırken aşağıdaki kurallara uyunuz:
 - a. Cihaz ile akım ölçmeyiniz.
 - b. Cihaz ile kurduğunuz deney devresi harici bir gerilim (örneğin şebeke gerilimi) ölçümü yapmayınız.

16. Güç kaynağını kullanırken aşağıdaki kurallara uyunuz:

- a. Çıkış uçlarını kısa devre yapmayınız.
- b. C.C. ışığı yanıyorsa devrenizde kısa devre olabilir, cihazı hemen kapatıp kısa devre kontrolü yapınız.

CİHAZ / YAZILIM KULLANIM TALİMATLARI

1. Osiloskop (100MHz, 2 Kanal) Kullanma Talimatı

- a. Osiloskobun gücünü üstündeki tuştan basarak aç.
- b. Probları gerekli kanallara kitlenip düzgün bir şekilde oturarak tak.
- c. Probları kullanarak şebeke gerilimi veya benzer yüksek gerilim ölçmeye çalışma.
- d. Ölçümler sadece deneylerde verilen devrelerde gösterildiği gibi yapılacaktır.
- e. Gerekli ince ayarlarını yap ve sinyal ölçümüne başla.

2. Ayarlı Güç Kaynağı Kullanma Talimatı

- a. Güç kaynağının gücünü önünde bulundaki "Power/Start" tuşundan basarak aç.
- b. Gerilimleri sıfıra getir ve çıkış kanallarına kablolarını bağla.
- c. Kanalları istenilen gerilime ayarla.
- d. Devreye gerilimi bağla.
- e. Gerilimleri sıfıra getir ve güç kaynağını kapat.

3. Sinyal Jeneratörü Kullanma Talimatı

- a. Cihazın önünde bulunan tuştan basarak gücü aç.
- b. Probları gerekli kanallara kitlenip düzgün bir şekilde oturarak tak.
- c. İstenilen dalga şeklinin özelliklerini gir.
- d. Probların uçlarını devreye bağla.
- e. "Output" tuşlarına basarak istenilen çıkışı aktif et.

4. Multimetre Kullanma Talimatı

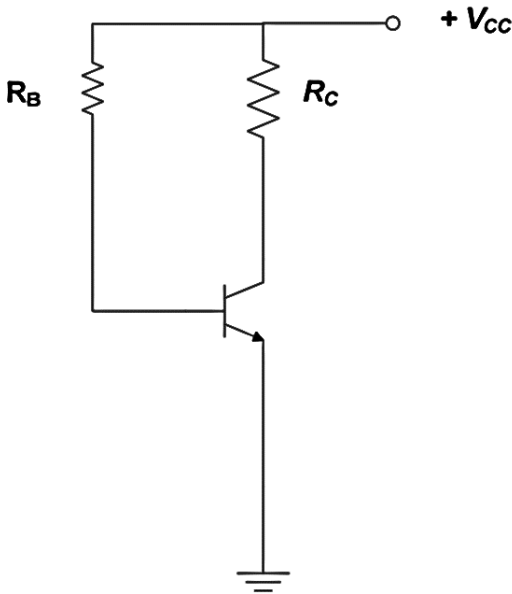
- a. Cihazın önünde bulunan tuştan basarak gücü aç.
- b. Probları gerekli terminallere tak.
- c. İstenilen ölçüm için gerekli olan ölçüm tuşu ayarına bas.
- d. Probların uçlarını devreye bağla ve ölçümü oku.

DENEY NO: 1 — Ortak Emiterli Ses Yükselteci**DENEYİN ADI:** Ortak Emiterli Ses Yükselteci

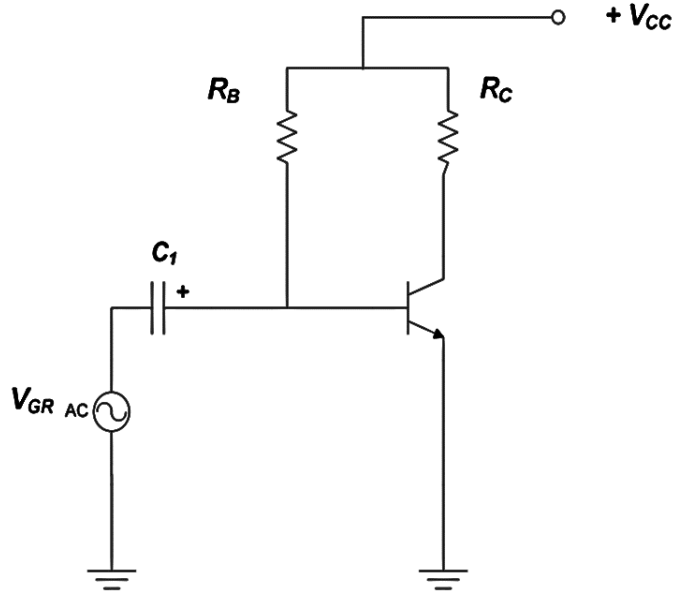
DENEYİN AMACI: Ortak emiter bağlantılı ses frekansı yükselteçlerinde yükseltme ve faz bağlantısını çalışmak.

TEORİK BİLGİ :

Emiteri ortak bağlantılı bir transistör devresine AC işaret uygulamak, devrenin DC polarma durumunun çıkışta elde edilecek AC işaret üzerindeki etkilerini ve söz konusu devrenin gerilim kazancının bağlı olduğu faktörleri incelemek. Transistör DC açıdan uygun biçimde polarmalandırıldığında, çalışmaya hazır duruma getirildi ise (Şekil 1.1) artık girişine AC işaret uygulanabilir demektir. Söz konusu devreye AC işaret uygulanırken dikkat edilecek noktalar şunlardır:

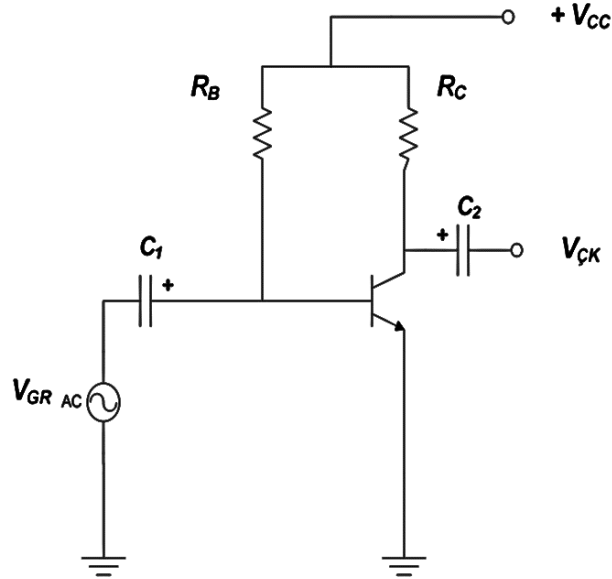


Şekil 1.1 Transistörün Polarmalandırılması



Şekil 1.2 Transistör polarmalandırıldıktan sonra AC sinyalin uygulandığı devre

AC işaret kaynağının, devreyi DC bakımdan yükleyerek uygun polarmayı bozmaması için AC işaret kaynağı ile devre girişi arasında DC blokaj görevini yapan Şekil 1.2'deki gibi bir kondansatör (C_1) konur. Benzer nedenle çıkışa bağlanacak devrenin DC yükleme yapmasını önlemek için de C_2 kondansatörü kullanılır (Şekil 1.3). Eğer C_1 ve C_2 kondansatörleri elektrolitik iseler söz konusu kondansatörlerin – uçlarının + kaynak tarafına gelecek şekilde yerleştirilmesine dikkat etmek gerekir. Emiteri ortak bağlı devrenin, girişine uygulanan AC işareti en iyi biçimde yükselterek çıkışana aktarabilmek için, DC polarmasının $V_{CE} = \frac{V_{CC}}{2}$ olacak şekilde sağlanması gerekir.



Şekil 1.3 Kondansatör kuplajlı devre

Örneğin I_C akımı 5 mA olan bir devrede $R_C = 1K\Omega$ değeri $V_{CE} = \frac{V_{CC}}{2}$ şartını yerine ($V_{CC} = 10V$) getirir. Bu duruma dikkat edilmeden yapılacak DC polarizasyon devreye AC işaret uygulandığında çıkış işaretinin bozulmaya uğramasına neden olabilirler. Tablo 1.1’de V_{CE} geriliminin çeşitli değerleri için çıkış işaretinin alabileceği durumlar gösterilmiştir. Tabloda da görüldüğü gibi, V_{CE} geriliminin $\frac{V_{CC}}{2}$ değerinden fazlaca büyük ya da küçük değerler alması halinde çıkış işaretinde bozulma (distorsiyon) meydana gelir.

Tablo 1.1 V_{CE} geriliminin çeşitli değerleri için çıkış işaretinin alabileceği durumlar

V_{CE}	Giriş İşareti	Çıkış İşareti
$V_{CE} = \frac{V_{CC}}{2}$		
$V_{CE} > \frac{V_{CC}}{2}$		
$V_{CE} < \frac{V_{CC}}{2}$		

Emiteri ortak bağlı bir devrede gerilim kazancı (A_v), çıkış AC geriliminin giriş AC gerilimine oranıdır.

$A_v = \frac{V_{\phi k}}{V_{gr}}$ bu formülde ; $V_{\phi k} = I_C \cdot R_C$, $V_{gr} = V_{be} = I_B \cdot r_j$ olarak tanımlıdırlar. Burada r_j , transistörün

beyz-emiter birleşim yüzeyinin AC akıma gösterdiği direnimdir ve yaklaşık olarak $r_j(ohm) = \frac{25}{I_B(mA)}$

formülünden bulunur. Bu formül Shockley eşitliği olarak bilinir. Bu durumda;

$A_v = \frac{i_c \cdot R_C}{i_b \cdot r_j} = \frac{\beta_{AC} \cdot i_b \cdot R_C}{i_b \cdot r_j} = \beta_{AC} \cdot \frac{R_C}{r_j}$ olarak bulunur. Son formül $A_v = \frac{R_C}{\frac{r_j}{\beta_{AC}}}$ olarak da yazılabilir. Burada

$\frac{r_j}{\beta} = r_j^l$ denilirse $A_v = \frac{R_C}{r_j^l}$ olur.

r_j^l , emiter ucundan görülen yaklaşık direnimdir. Yine, Shockley formülü ile bulunabilir.

$r_j^l = \frac{25}{I_c(mA)}$ r_j ve r_j^l değerlerinin yaklaşık değerler olduğuna dikkat ediniz.

Emiteri ortak bağlı bir transistörün AC gerilim kazancı genel olarak "kollektör ucuna bağlı bir direncin emiter ucuna bağlı dirence oranıdır." şeklinde ifade edilebilir. Örneğin, Şekil 1.4'deki devrede gerilim

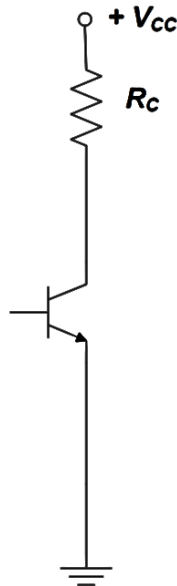
kazancı; $A_v = \frac{R_C}{r_j^l}$ Şekil 1.5'deki devrede ise; $A_v = \frac{R_C}{r_j^l + R_E}$ olarak bulunur.

Şekil 1.4'deki devrenin gerilim kazancı transistörün β 'sına büyük ölçüde bağımlıdır (Çünkü $r_j^l = \frac{25}{I_c}$ dir

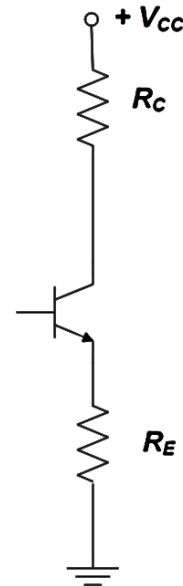
ve $I_c = \beta \cdot I_b$ 'dir). Şekil 1.5'deki devrenin gerilim kazancının transistör β 'sına bağımlılığı çok azdır.

Çünkü, $R_E \gg r_j^l$ olduğundan r_j^l 'nin eşitlikte etkisi yok denecek kadar azdır.

Her iki durumda da R_C direnç değerinin gerilim kazancı üzerinde doğru orantılı bir etkisi olduğu kazanç formüllerinden açık olarak görülebilir.



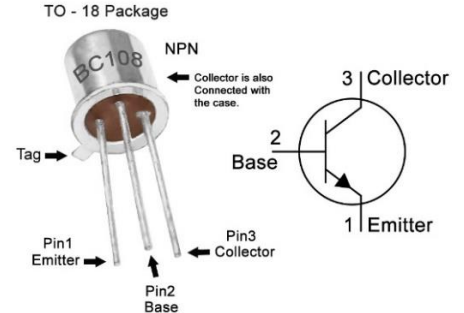
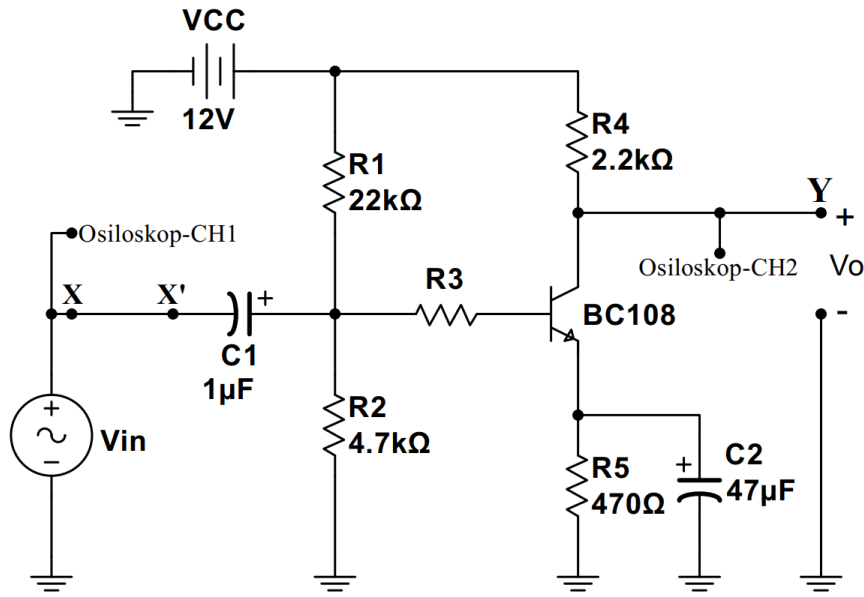
Şekil 1.4



Şekil 1.5

KULLANILAN ELEMANLAR:

- 0-12 VDC Ayarlı Güç Kaynağı
- 4.7K Ω Potansiyometre
- 1 μ F, 47 μ F Elektrolitik Kondansatör
- BC 108C Transistör
- 470 Ω , 1K Ω , 2.2K Ω , 4.7K Ω , 10K Ω , 22K Ω Direnç
- Osiloskop
- Sinyal Jeneratörü

BC108 Transistor Pinout**DENEY DEVRESİ**

Şekil 1.6. Ortak emiterli ses yükselteci deney devresi

İŞLEM BASAMAKLARI

- Şekil 1.6'daki devreyi R_3 'ü 0 Ω alarak yani direnç olmadan ve C_2 kondansatörünü devreye bağlamadan breadboard'a kurunuz.
- I_E akımını DC olarak mA cinsinden ölçünüz. r_e direncini $\frac{26 \text{ mV}}{I_E}$ formülünden hesaplayınız.
- V_{in} giriş sinyalini 1V_{p-p} ve 1 KHz olacak şekilde ayarlayıp devreye uygulayınız. X noktasını giriş ve Y noktasını çıkış olarak osiloskobun ilgili kanallarına iki kanalı da AC kuplaj olacak şekilde bağlayınız. Giriş ve çıkışın V_{p-p} değerlerini ölçerek A_V 'yi hesaplayınız. Gerçek ölçüm sonucuna göre bulduğunuz A_V 'yi R_4/R_5 oranından hesaplayarak bulduğunuz kazanç değeri ile karşılaştırınız.

$$r_e = \quad \Omega$$

Tablo 1.2. 1 V_{p-p} ve 1 KHz sinyali girişi için kazanç değerleri

Simülasyon		Hesap		Deney	
$A_V = \frac{V_{out \text{ p-p}}}{V_{in \text{ p-p}}}$	$\frac{\quad}{\quad} =$	$A_V = \frac{R_4}{R_5 + r_e}$	$\frac{\quad}{\quad} =$	$A_V = \frac{V_{out \text{ p-p}}}{V_{in \text{ p-p}}}$	$\frac{\quad}{\quad} =$

4. Şekil 1.6'daki devreye $47\mu\text{F}$ 'lık C_2 kondansatörünü bağlayınız. R_3 'ü 0Ω alınız. V_{in} giriş sinyali 30 mV_{p-p} ve 1 KHz yapıp kazanç değerini bulunuz.

Tablo 1.3. 30 mV_{p-p} ve 1 KHz sinyali girişi için kazanç değerleri

Simülasyon		Hesap		Deney	
$A_V = \frac{V_{out\ p-p}}{V_{in\ p-p}}$	_____ =	$A_V = \frac{R_4}{r_e}$	_____ =	$A_V = \frac{V_{out\ p-p}}{V_{in\ p-p}}$	_____ =

5. $47\mu\text{F}$ 'lık C_2 kondansatörünü bağlı iken R_3 'ü 0Ω olarak giriş gerilimini çıkıştan $V_{OUT} (p-p) = 6\text{V}$ olacak şekilde ayarlayınız. Bulduğunuz giriş gerilimini değiştirmeden R_3 'ü Tablo 1.4'deki verilen değerlere göre ayarlayıp çıkış gerilimlerini ölçünüz.

Tablo 1.4. Değişen R_3 değerlerine göre ölçülen çıkış gerilim değerleri

	R_3	$500\ \Omega$	$1\text{ k}\ \Omega$	$2\text{ k}\ \Omega$	$3\text{ k}\ \Omega$	$4\text{ k}\ \Omega$
Simülasyon	$V_{OUT(p-p)}\ \text{V}$					
Deney	$V_{OUT(p-p)}\ \text{V}$					

6. R_3 'ü 0 yaparak C_2 'yi çıkarınız. Girişi $V_{in(p-p)} = 1\text{V}$ yapınız. Frekansı, Tablo 1.5'de verilen değerlere göre değiştirerek çıkış gerilimlerini $V_{OUT} (p-p)$ ölçünüz.

Tablo 1.5. Değişen giriş frekans değerlerine göre ölçülen çıkış gerilim değerleri

	F (Hz)	10 Hz	50 Hz	100 Hz	500 Hz	1 kHz	10 kHz	100 kHz	500 kHz	1 MHz
Simülasyon	$V_{OUT} (p-p)$									
Deney	$V_{OUT} (p-p)$									

7. R_3 'ü 0 yaparak C_2 'yi çıkarınız. Girişi $V_{in} = 100\text{ mV}_{p-p}$ 1 kHz yapınız. Tablo 1.6'daki ilk sütuna çıkış ve giriş gerilimini kaydediniz. Daha sonra X-X' arasına $R_S = 1\text{ K}\Omega$ direnç bağlayınız ve çıkış gerilimini tekrar ölçünüz.

8. R_S direnci bağlı değilken benzer şekilde Y ile GND arasına $R_L = 10\text{ K}\Omega$ direnç bağlayarak çıkış gerilimini ölçüp Tablo 1.6'ya kaydediniz.

Tablo 1.6. 100 mV_{p-p} 1 kHz giriş sinyali için ölçülen çıkış gerilim değerleri

	Ekstra bir direnç bağlı değilken	X-X' arasına $R_S = 1\text{ K}\Omega$ bağlı iken	Y ile GND arasına $R_L = 10\text{ K}\Omega$ bağlı iken
Simülasyon	$A_V = \frac{V_{out}}{V_{in}} =$	$A_V = \frac{V_{out}}{V_{in}} =$	$A_V = \frac{V_{out}}{V_{in}} =$
Deney	$A_V = \frac{V_{out}}{V_{in}} =$	$A_V = \frac{V_{out}}{V_{in}} =$	$A_V = \frac{V_{out}}{V_{in}} =$

SORULAR:

1. Kuplaj kondansatörünün C_1 'in faz bağlantısına etkisini açıklayınız.
2. Tablo 1.5'deki değerlere göre ses frekansı yükseltecinde devrenin farklı frekanslara verdiği tepki nasıl olmuştur? Bu tablodan yola çıkarak bu devrenin ideal çalışma frekansı aralığı nedir?
3. Tablo 1.6'daki değerlere göre R_S ve R_L dirençlerinin devreye etkileri nelerdir? Açıklayınız.

SONUÇ:

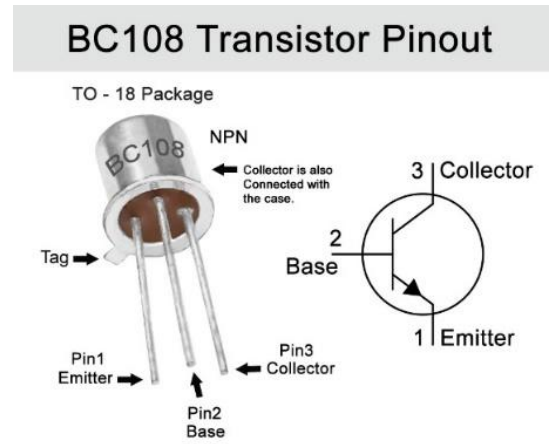
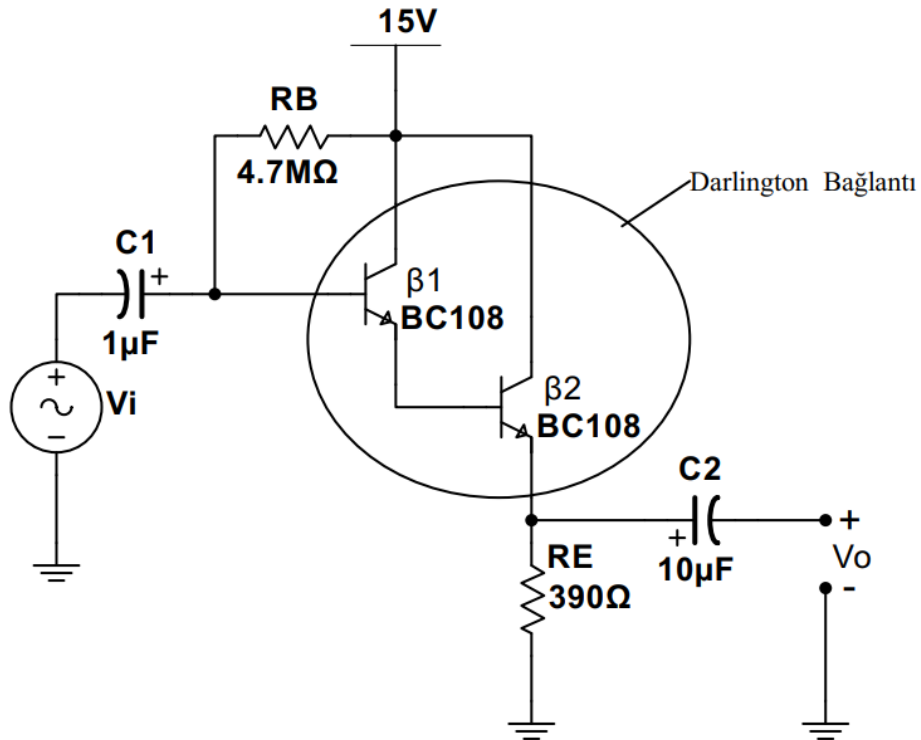
Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 2 — Darlington Bağlantılı Yükselteç**DENEYİN ADI:** Darlington bağlantılı yükselteç**DENEYİN AMACI:** Darlington bağlantının özelliklerini ve çalışmasını öğrenmek.**TEORİK BİLGİ:**

Darlington devresi, iyileştirilmiş yükselteç karakteristikleri veren birleşik düzenlemedir. Yüksek giriş empedansı, düşük çıkış empedansı, yüksek akım kazancı gibi bir akım yükselteci için bütün iyi özelliklere sahiptir. Ancak çıkışın emiter uçlarından alınması halinde gerilim kazancının birden küçük olduğunu göreceğiz. Darlington düzenlemesinde ilk emiter akımının, ikinci transistor ün beyz akımı olduğuna dikkat ediniz.

KULLANILAN ELEMANLAR:

- 390 Ω , 4.7M Ω direnç
- 1 μ F, 10 μ F elektrolitik kondansatör
- 2 adet BC 108 transistor
- Sinyal jeneratörü
- Çift kanallı osiloskop
- Multimetre

**DENEY DEVRESİ:**

Şekil 2.1. Darlington bağlantılı yükselteç devresi

İŞLEM BASAMAKLARI:

1. Şekil 2.1'deki deney devresini kurunuz.
2. Vin'i $V_{pp}=200\text{ mV}_{p-p}$, $f=1\text{ KHz}$ sinüzoidal gerilime ayarlayınız. Tablo 2.1'de istenen değerleri ölçerek ilgili yerlere kaydediniz.

Tablo 2.1. Darlington devresine ait değerler

	V_i (mV _{p-p})	V_o (mV _{p-p})	A_v	I_{B1} (μA)	I_{C1} (μA)	β_1	I_{B2} (μA)	I_{C2} (mA)	β_2
Simülasyon									
Hesaplanan									
Deney									

3. Giriş sinyalinin genliği sabit kalmak şartıyla frekansını Tablo 2.2'deki değerlere göre ayarlayıp çıkış gerilimini ölçünüz ve kazanç değerlerini tabloya yazınız.

Tablo 2.2. 200 mV_{p-p} genlikli giriş sinyali için farklı frekans değerlerinde ölçülen çıkış gerilimleri

	F (Hz)	50 Hz	100 Hz	500 Hz	1 kHz	10 kHz	100 kHz	500 kHz	1 MHz	5 MHz	10 MHz
Deney	V_{OUT} (p-p)										
	A_v										

4. Devrenin distorsiyonsuz maksimum çıkış gerilimini bulmak için: Giriş sinyalinin genliğini 0V'dan itibaren arttırmaya başlayın ve çıkış sinyalini takip ediniz. Bu durum çıkış sinyalinin alttan veya üstten kırılmaya başladığı noktaya gelinceye kadar devam etsin. Bu noktada çıkış ve giriş sinyalinin genliğini ölçerek distorsiyonsuz maksimum kazancı ölçünüz.

Deney	
$A_v = \frac{V_{out\ p-p}}{V_{in\ p-p}}$	$\frac{\quad}{\quad} =$

SORULAR:

1. İkinci işlem basamağında bulduğunuz β değerlerini kullanarak Tablo 2.1’de ölçtüğünüz değerleri derste öğrendiğiniz analiz yöntemleri kullanarak (Devrenin AC eşdeğerini çıkartarak) hesaplayınız ve bulduğunuz değerleri Tablo 2.1’de ilgili yerlere yazınız.
2. Tablo 2.1’deki değerleri hesaplanan, simülasyon ve deneyde ölçülen değerlere göre kıyasladığınızda değerler birbirileri uyumlu mudur? Farklılıklar var ise sebeplerini açıklayınız.
3. İşlem basamağı 5’deki durumda çıkış sinyalindeki kırılmanın nedenini yorumlayınız.

SONUÇ:

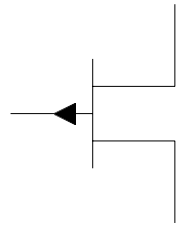
Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 3 — JFET Giriş Karakteristiğinin İncelenmesi**DENEYİN ADI:** JFET giriş karakteristiğinin incelenmesi**DENEYİN AMACI:** Birleşim yüzeyli alan etkili transistörlerin çalışmasını ve özelliklerini öğrenmek.**TEORİK BİLGİ :**

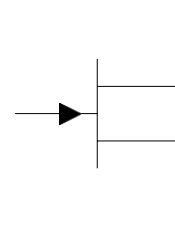
Alan etkili transistörler genel olarak iki gruba ayrılır.

- JFET
- MOSFET

Bu deneyde JFET özellikleri incelenecektir. FET'ler gerilim esasına göre çalışan Silisyumdan yapılmış üç elektrotlu (Drain, Source, Gate) özel alan etkili transistörlerdir. FET'ler transistörler gibi iki tiptir. Bunlardan biri P KANAL FET diğeri ise N KANAL FET'tir.

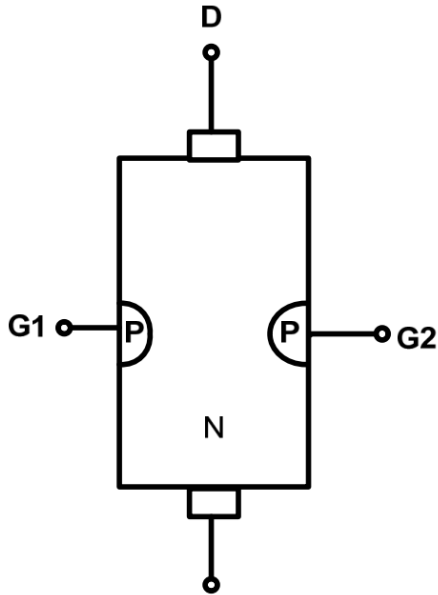


P KANAL JFET

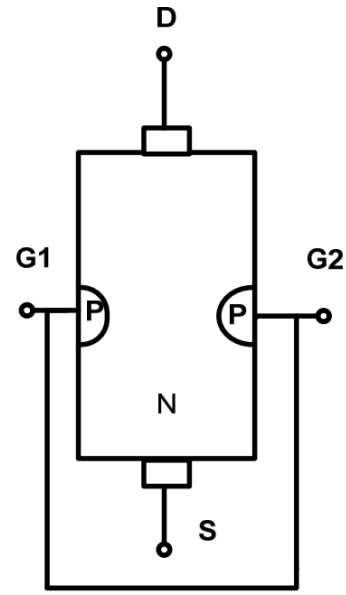


N KANAL JFET

JFET ile BJT transistör arasında çeşitli farklar olmasına rağmen en önemli farklardan bir tanesi JFET unipolar, BJT ise bipolar yapıya sahiptir. Diğeri ise BJT transistörün akım kontrollü olmasına karşın JFET'in gerilim kontrollü oluşudur.



Şekil 3.1. FET'in yapısı

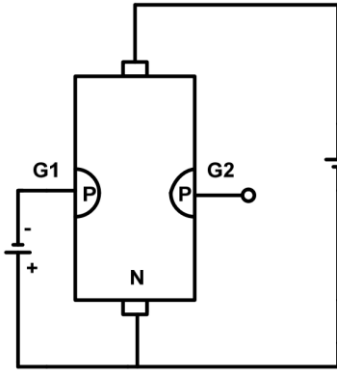


Şekil 3.2. FET gate'lerinin birleşmiş hali

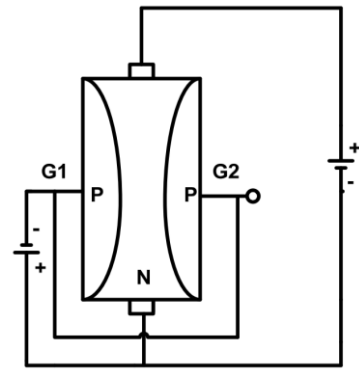
Şekil 3.1'de bir N kanal JFET'in yapısı basit olarak çizilmiştir. Görüldüğü gibi, N tipi yarı iletken bloğun her iki tarafında birer uç vardır. Bu uçlar ile yarı iletken arasında herhangi bir yarı iletken birleşim yüzeyi varlığı söz konusu değildir. D ucu "drain(akaç)", S ucu ise "source" (kaynak) anlamına gelmektedir. D ve S uçları arasında belirli bir omik direnç vardır. Bu direnç, N tipi yarı iletkenin direncinden kaynaklanır. N tipi yarı iletken bloğun her iki yanına birer parça P tipi yarı iletken madde, birleşim

yüzeyi oluşturacak halde yerleştirilmişlerdir. Bu bloklara bağlı uçlar, kapı anlamına gelen “gate” kelimesinin baş harfi ile gösterilirler. İki ayrıkapı ucu olabileceği gibi, bunlar içerden birleştirilerek tek bir kapı ucu durumu da oluşturulabilir. Genel olarak JFET’lerde tek kapı uçlu durum görülür.

G-S uçları arasına, buradaki P-N birleşim yüzeyini ters polaracak şekilde bir gerilim uygulandığında” durgun bölge” genişleyerek kanal daralır (Şekil 3.3). Dolayısıyla I_D akımı azalır söz konusu gerilim arttırıldığında bu bölge daha da genişler ve kanal daha da daralır. Böylece I_D akımı biraz daha küçülür (Şekil 3.4). Şu halde V_{GS} gerilimini değiştirmek suretiyle I_D akımı kontrol altına alınabilir.



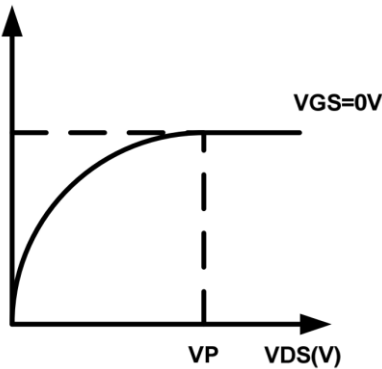
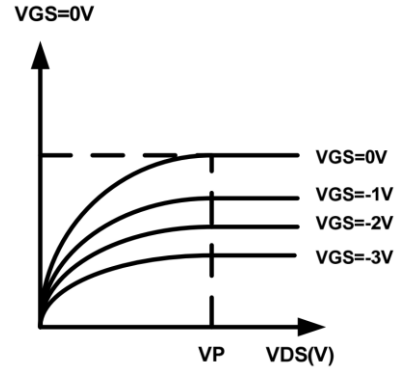
Şekil 3.3. FET polarmalandırılması



Şekil 3.4. FET'in çalışması

$V_{GS}=0$ Volt olduğunda, V_{DS} gerilimi arttırılarak I_P akımı maksimum değerine (I_{PSS}) ulaştırabilir. Bu durum grafiksel olarak Şekil 3.5’de çizilmiştir. Dikkat edilecek olursa, ($V_{GS} =0$ Volt iken) V_{DS} gerilimindeki artışa rağmen I_D akımı sabitlemeye başlayıp sonra da sabitleşmektedir. I_D sabitleşmeye başladığı andaki V_{DS} değerine tıkama(pinch-off) gerilimi denir ve V_P ile gösterilir. I_D akımının sabitleştiği zaman ki değeri I_{DSS} olarak ifade edilir.

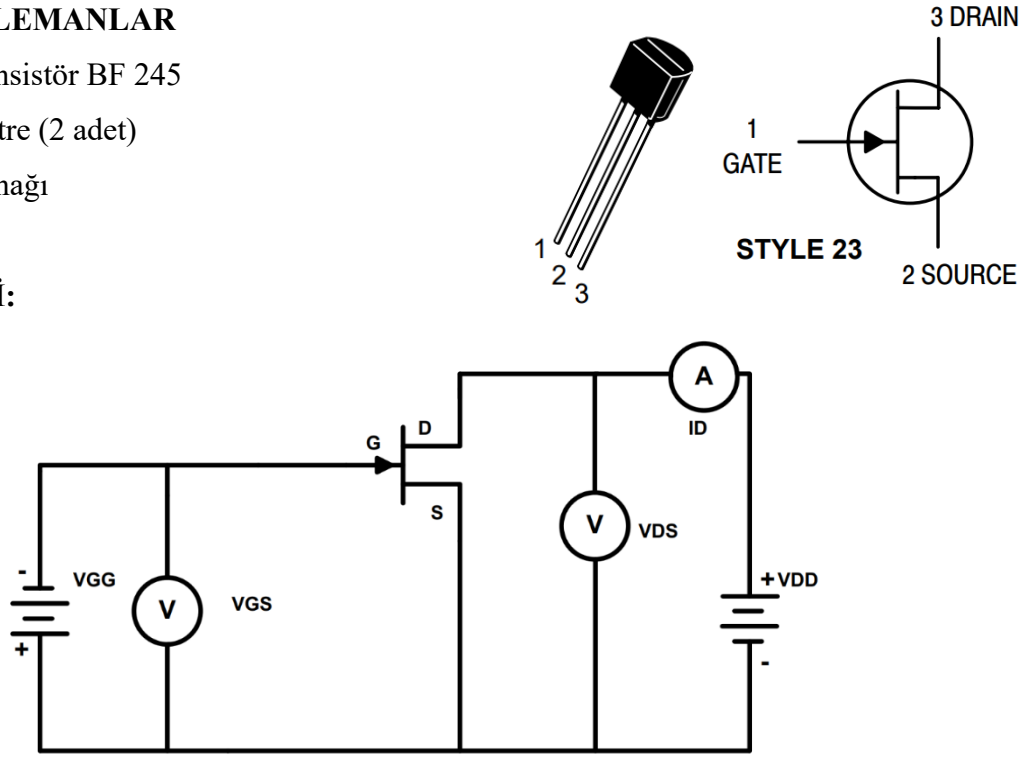
Burada şu noktaya değinmek de yarar vardır. V_{DS} gerilimi maksimum değeri (V_{DSmax}) hiçbir zaman aşmamalıdır. Aksi halde JFET onarılamayan şekilde tahrip olur. Şekil 3.6’da değişik V_{GS} değerleri için N kanal JFET e ait $I_D - V_{DS}$ grafik ailesi çizilmiştir. GS birleşimi yüzeyi daha fazla ters yönde polarıldıkça I_D akımını daha küçük V_{DS} değerlerine sabitleştigiğine dikkat ediniz.

Şekil 3.5. $I_D - V_{DS}$ karakteristiği

Şekil 3.6. FET çıkış karakteristiği

KULLANILAN ELEMANLAR

- FET Transistör BF 245
- Multimetre (2 adet)
- Güç kaynağı

DENEY DEVRESİ:

Şekil 3.7. FET karakteristiği ile ilgili deney devresi

İŞLEM BASAMAKLARI:

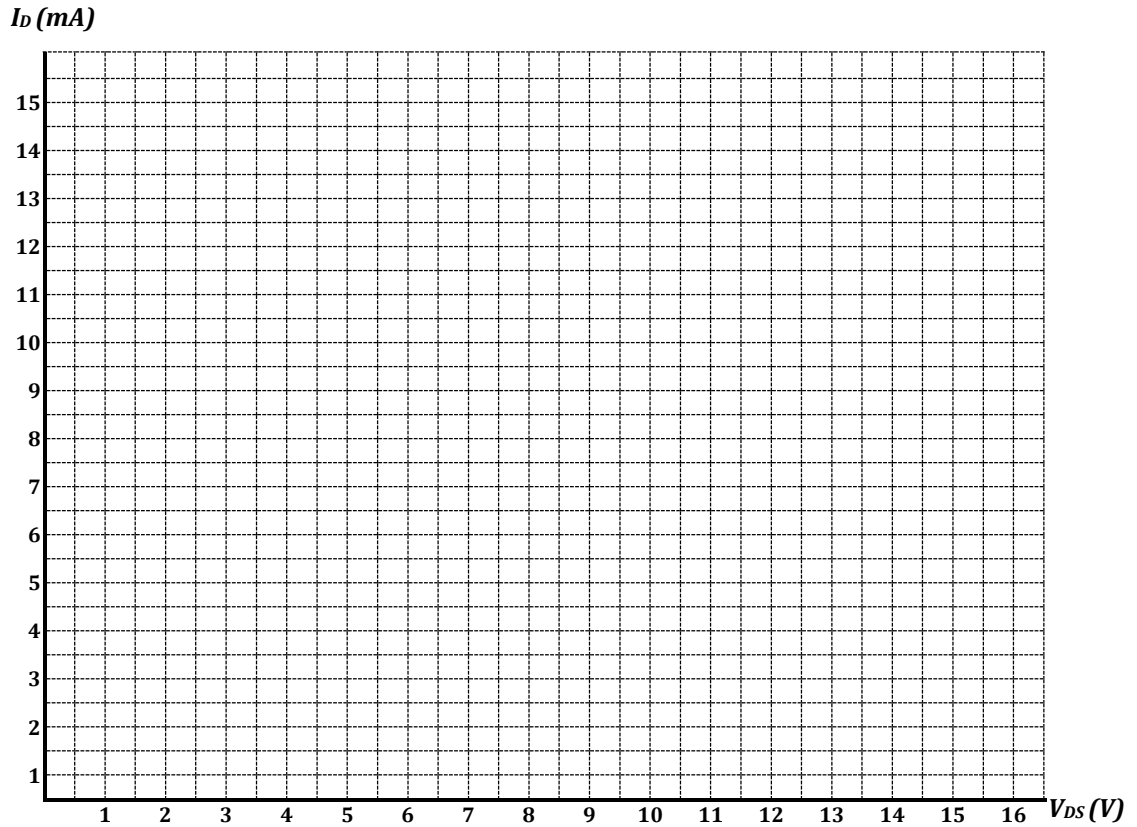
1. Deney devresini Şekil 3.7’de olduğu gibi kurunuz. Ayarlı V_{DD} ve V_{GG} kaynağını 0 V yapınız Kontrol ettikten sonra devreye enerji uygulayın.
2. Tablo 3.1’deki V_{DS} ve V_{GS} değerlerine göre I_D akım değerlerini ölçerek ilgili yerlere not ediniz.

Tablo 3.1. V_{DS} ve V_{GS} değerlerine karşılık I_D akım değerleri

		$V_{GS} = 0$	$V_{GS} = -1$	$V_{GS} = -3$	$V_{GS} = -5$
	$V_{DS}(V)$	$I_D (mA)$	$I_D (mA)$	$I_D (mA)$	$I_D (\mu A)$
Simülasyon Verileri	1				
	2				
	3				
	4				
	5				
	6				
	7				
	8				
	9				
	10				
	11				
	12				
	13				
	14				
	15				

Deney Verileri		$V_{GS} = 0$	$V_{GS} = -1$	$V_{GS} = -3$	$V_{GS} = -5$
	$V_{DS}(V)$	$I_D (mA)$	$I_D (mA)$	$I_D (mA)$	$I_D (\mu A)$
	1				
	2				
	3				
	4				
	5				
	6				
	7				
	8				
	9				
	10				
	11				
	12				
	13				
	14				
	15				

3. Tablo 3.1'deki sonuçlara göre her V_{GS} değeri için $I_D - V_{DS}$ eğrisini Şekil 3.8'e çiziniz. Çizimleri aynı eksenlerde yapınız.



Şekil 3.8. JFET karakteristiği

SORULAR:

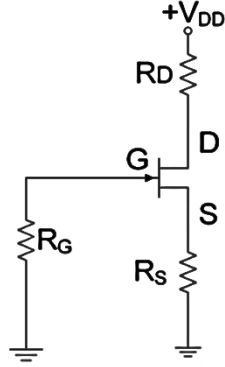
1. Çizimlere göre, V_P değeri kaç voltur? V_P değerini nasıl belirlediğinizi açıklayınız.
2. I_{DSS} akım değeri ne kadardır? Bu değeri nasıl belirlediğinizi açıklayınız.
3. V_{GS} belirli bir değerde sabitken I_D akımı için her seferinde belirli bir değere ulaştıktan sonra orada sabi kalıyor mu? Açıklayınız.
4. I_D akımı V_{GS} 'nin hangi değeri için yaklaşık sıfır değerini almaktadır? V_{GS} 'nin bu değerini V_P değeri ile karşılaştırınız.
5. Şekil 3.8'deki $I_D - V_{DS}$ grafiği üzerinde, JFET'in,
 - a. Hangi bölgede "gerilim kontrollü direnç" özelliğini taşıdığını,
 - b. Hangi bölgede "gerilim kontrollü akım kaynağı" özelliğini taşıdığını işaretleyiniz.
6. V_{GS} geriliminin ters ön gerilimleme sebebini açıklayınız.
7. I_{DS} akımının maksimum olması için V_{GS} gerilimi hangi değeri almalıdır?
8. FET'ler ile BJT'ler arasındaki en belirgin fark nedir?

SONUÇ:

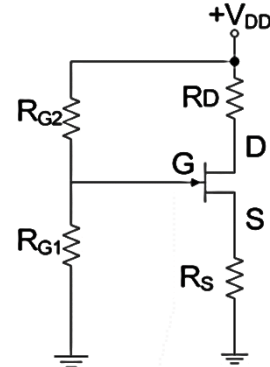
Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 4 — JFET’in DC Karakteristiğinin İncelenmesi**DENEYİN ADI:** JFET’in DC karakteristiğinin incelemek**DENEYİN AMACI:** FET transistörün DC çalışmasını öğrenmek.**TEORİK BİLGİ:**

Transistör’lerde olduğu gibi, bir FET’e işaret uygulamadan önce DC açıdan uygun biçimde polarlamak gerekir. Bunu yaparken en önemli koşul, kapı-kaynak (Gate- Source) birleşim yüzeyinin ters polarılmış olmasıdır. Şekil 4.1 ve Şekil 4.2’de yaygın olarak kullanılan 2 tip polarma yöntemi görülmektedir.



Şekil 4.1. Sabit polarma



Şekil 4.2. Gerilim bölücülü polarma

Şekil 4.1 için; $V_G = 0$ V $V_S = I_D R_S$ olduğundan

$$V_{GS} = V_G - V_S = 0 - I_D R_S$$

$$V_{GS} = -I_D R_S \text{ olur.}$$

Eğer $I_D = 2$ mA, $R_S = 1$ K Ω ise; $V_{GS} = -2$ V bulunur.

Görüldüğü gibi kapı (G) – kaynak (S) arasının ters polarılması ile ilgili koşul sağlanmaktadır. Bu devrede, çıkış bölümü için Kirchoff gerilim yasası şu şekilde yazılabilir: $V_{DD} = I_D(R_D + R_S) + V_{DS}$

Burada; V_{DD} , I_D ve direnç değerleri biliniyorsa V_{DS} hesaplanabilir. Şekil 4.2 için;

$$V_G = \frac{V_{DD}}{R_{G1} + R_{G2}} \cdot R_{G2}$$

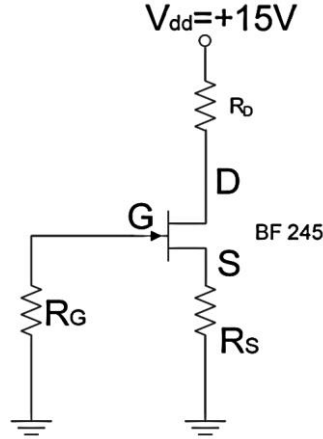
(Kaynağı ortak bağlı bir JFET’in giriş empedansı çok yüksek olduğundan I_G akımı ihmal edilebilir.)

$$V_S = I_D R_S \quad V_{GS} = V_G - V_S \leq 0$$

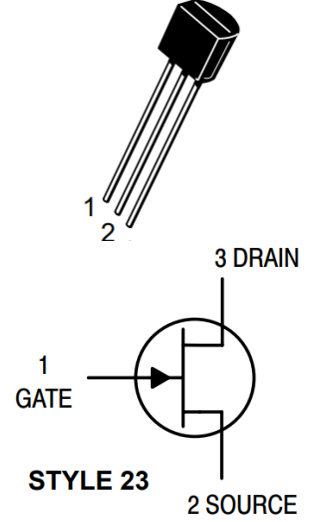
Olması gerektiğinden $V_S \geq V_G$ olacak şekilde direnç değerleri seçilmelidir.

KULLANILAN ELEMANLAR

- Güç Kaynağı 2 adet (ayarlı)
- Direnç 1K Ω (2 adet)
- Direnç 2.2K Ω (2 adet)
- Direnç 270K Ω
- JFET BF245-C

DENEY DEVRESİ

Şekil 4.1. FET polarmalandırılması deney devresi

**İŞLEM BASAMAKLARI:**

1. Şekil 4.1'deki devreyi $R_G = 270 \text{ K}\Omega$ olacak şekilde ve diğer direnç değerlerini Tablo 4.1'de verilen değerlere göre kurunuz ve gerekli ölçümleri alıp Tablo 4.1'e kaydediniz.

Tablo 4.1. R_D ve R_S dirençlerinin değişimine karşılık gelen akım ve gerilim değerleri

Simülasyon Verileri				
R_D (K Ω)	R_S (K Ω)	I_D (mA)	V_{DS} (V)	V_{GS} (V)
1 K Ω	1 K Ω			
1 K Ω	2.2 K Ω			
2.2 K Ω	2.2 K Ω			
2.2 K Ω	1 K Ω			

Deney Verileri				
R_D (K Ω)	R_S (K Ω)	I_D (mA)	V_{DS} (V)	V_{GS} (V)
1 K Ω	1 K Ω			
1 K Ω	2.2 K Ω			
2.2 K Ω	2.2 K Ω			
2.2 K Ω	1 K Ω			

2. Şekil 4.1'deki devreyi $R_G = 270 \text{ K}\Omega$, $R_S = 1 \text{ K}\Omega$, $R_D = 2.2 \text{ K}\Omega$ ve $V_{DD} = 10 \text{ V}$ yaptıktan sonra Tablo 4.2'deki ölçümleri yapıp tabloya kaydediniz.

Tablo 4.2. $V_{DD} = 10 \text{ V}$ için akım ve gerilim değerleri

Simülasyon Verileri				
$R_D \text{ (K}\Omega\text{)}$	$R_S \text{ (K}\Omega\text{)}$	$I_D \text{ (mA)}$	$V_{DS} \text{ (V)}$	$V_{GS} \text{ (V)}$
2.2 K Ω	1 K Ω			

Deney Verileri				
$R_D \text{ (K}\Omega\text{)}$	$R_S \text{ (K}\Omega\text{)}$	$I_D \text{ (mA)}$	$V_{DS} \text{ (V)}$	$V_{GS} \text{ (V)}$
2.2 K Ω	1 K Ω			

SORULAR:

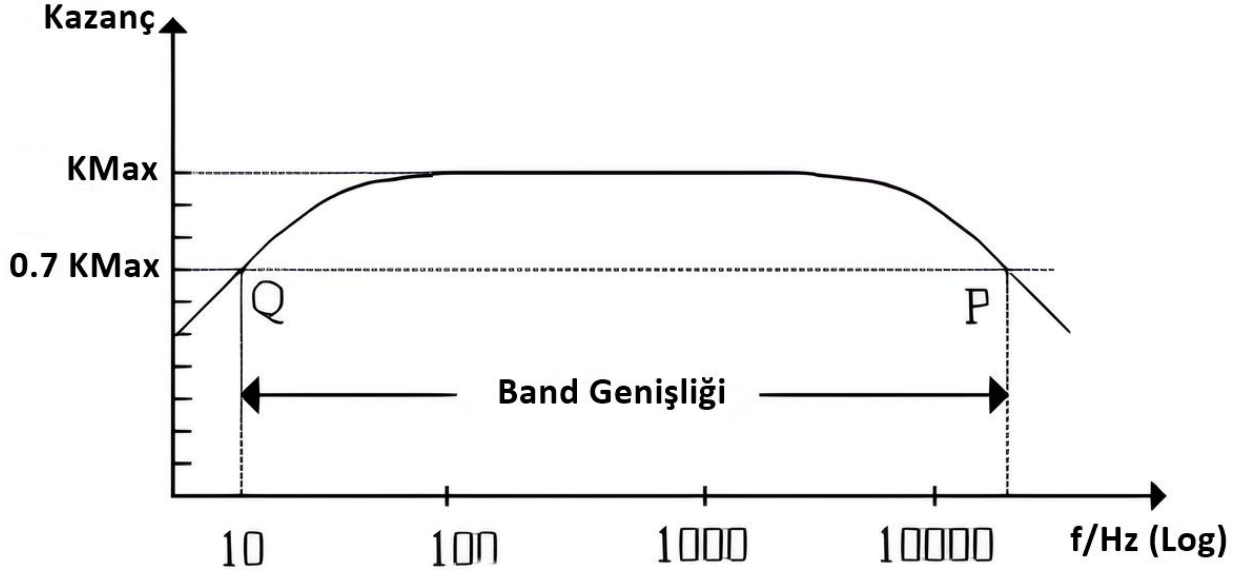
1. R_D direnç değerinin azalışı, V_{GS} gerilim değerini değiştirmiş midir? Niçin?
2. R_D direnç değerindeki değişim I_D akımını etkiledi mi? Niçin?
3. R_D direnç değerindeki değişim V_{DS} değerini etkilemiş midir? Ne şekilde? Nasıl?
4. R_S direnç değerinin artışı V_{GS} değerini etkiledi mi? Niçin?
5. R_S direnç değerinin artışı I_D değerini etkiledi mi?
6. R_S direnç değerinin artışı V_{DS} değerini de etkiliyor mu?
7. Deney boyunca yaptığınız ölçüm ve gözlemlere göre; Şekil 4.1'deki JFET deney devresinin çalışma noktasını R_D veya R_S direnç değerini değiştirerek kontrol altında tutmak mümkün olur mu?
8. V_{DD} değerinin değişmesi, devrenin çalışma noktasını değiştirdi mi? Açıklayınız.

SONUÇ:

Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 5 — Transistörlerde Kazanç-Bant Eğrisinin Elde Edilmesi**DENEYİN ADI:** Transistörlerde Kazanç-Bant Eğrisinin Elde Edilmesi**DENEYİN AMACI:** Bir transistörde kazanç-bant eğrisinin elde edilmesini sağlamak.**TEORİK BİLGİ:**

Genel olarak bir transistörde kazanç-frekans eğrisi çizildiğinde Şekil 5.1'deki eğri elde edilir.



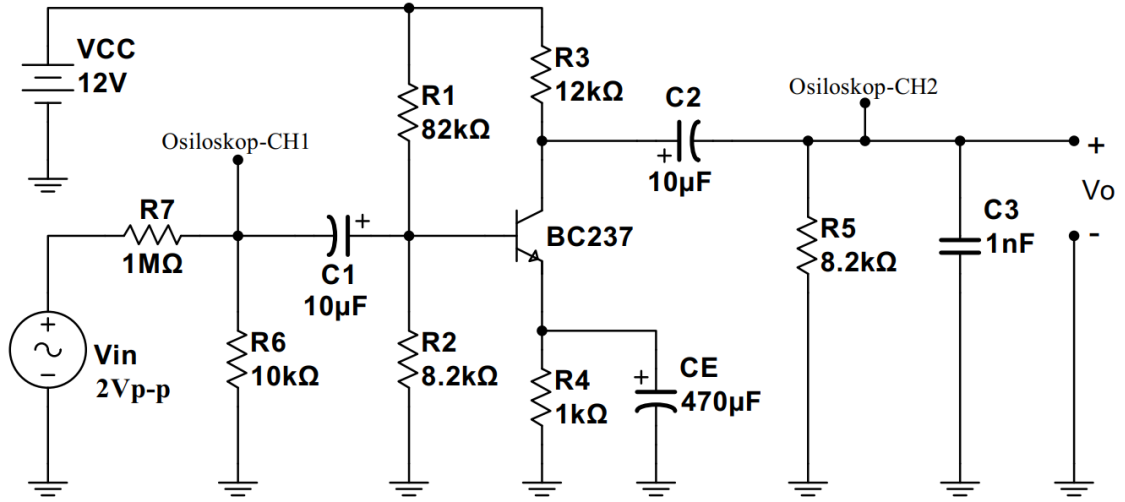
Şekil 5.1. Örnek kazanç bant eğrisi

Kazanç frekans eğrisinden görüldüğü gibi kazancın $1/2$ 'sine düştüğü noktalar (Q, P) köşe frekansları olarak adlandırılır. Transistörden maksimum kazanç elde etmek için transistör orta frekans bölgesinde çalıştırılmalıdır. Q noktasına karşılık gelen frekans f_L alt kesim frekansı, P noktasına karşılık gelen frekans üst kesim frekansı olarak adlandırılır. Köşe frekansları arasında kalan bölge kuvvetlendiricinin bant genişliği olarak adlandırılır.

$$\text{Bant genişliği} = f_H - f_L$$

KULLANILAN ELEMANLAR:

- 0-12 VDC Ayarlı Güç Kaynağı
- Elektrolitik Kondansatör $10\mu\text{F}$, $470\mu\text{F}$
- Kutupsuz Kondansatör 1nF
- Transistör BC237
- Direnç $8.2\text{K}\Omega$ (2 adet), $1\text{K}\Omega$, $82\text{K}\Omega$, $12\text{K}\Omega$, $10\text{K}\Omega$, $1\text{M}\Omega$
- Osiloskop, Sinyal Jeneratörü

DENEY DEVRESİ:

Şekil 5.2. Kazanç-bant eğrisi ile ilgili deney devresi

İŞLEM BASAMAKLARI:

1. Şekil 5.2'deki devreyi kurunuz. Vin giriş sinyalinin genliğini "Osiloskop-CH1" isimli noktadaki gerilimin değerini osiloskopta **20mV_{P-P}** okunacak şekilde sinyal jeneratöründen ince ayar yapınız. Daha sonra Vin giriş sinyalinin frekansını Tablo 5.1'deki değerlere göre değiştirerek çıkış gerilimini ölçerek Tablo 5.1'e yazınız.

Tablo 5.1. CE devrede iken değişen giriş frekans değerlerine göre ölçülen çıkış gerilim değerleri

Simülasyon Verileri													
F (Hz)	10	50	100	500	1 K	5 K	10 K	50 K	100 K	500 K	1 M	5 M	10 M
V_i													
V_o													
A_v													

Deney Verileri													
F (Hz)	10	50	100	500	1 K	5 K	10 K	50 K	100 K	500 K	1 M	5 M	10 M
V_i													
V_o													
A_v													
A_v (dB)													

2. 1.adımdaki işlemleri CE kondansatörü **devrede değilken** Tablo 5.2'deki değişen frekans değerlerine göre çıkış ve giriş gerilimlerini yazınız ve A_v değerlerini hesaplayarak not ediniz.

Tablo 5.2. CE devrede değil iken değişen giriş frekans değerlerine göre ölçülen çıkış gerilim değerleri

Simülasyon Verileri													
F (Hz)	10	50	100	500	1 K	5 K	10 K	50 K	100 K	500 K	1 M	5 M	10 M
V_i													
V_o													
A_v													

Deney Verileri													
F (Hz)	10	50	100	500	1 K	5 K	10 K	50 K	100 K	500 K	1 M	5 M	10 M
V_i													
V_o													
A_v													
A_v (dB)													

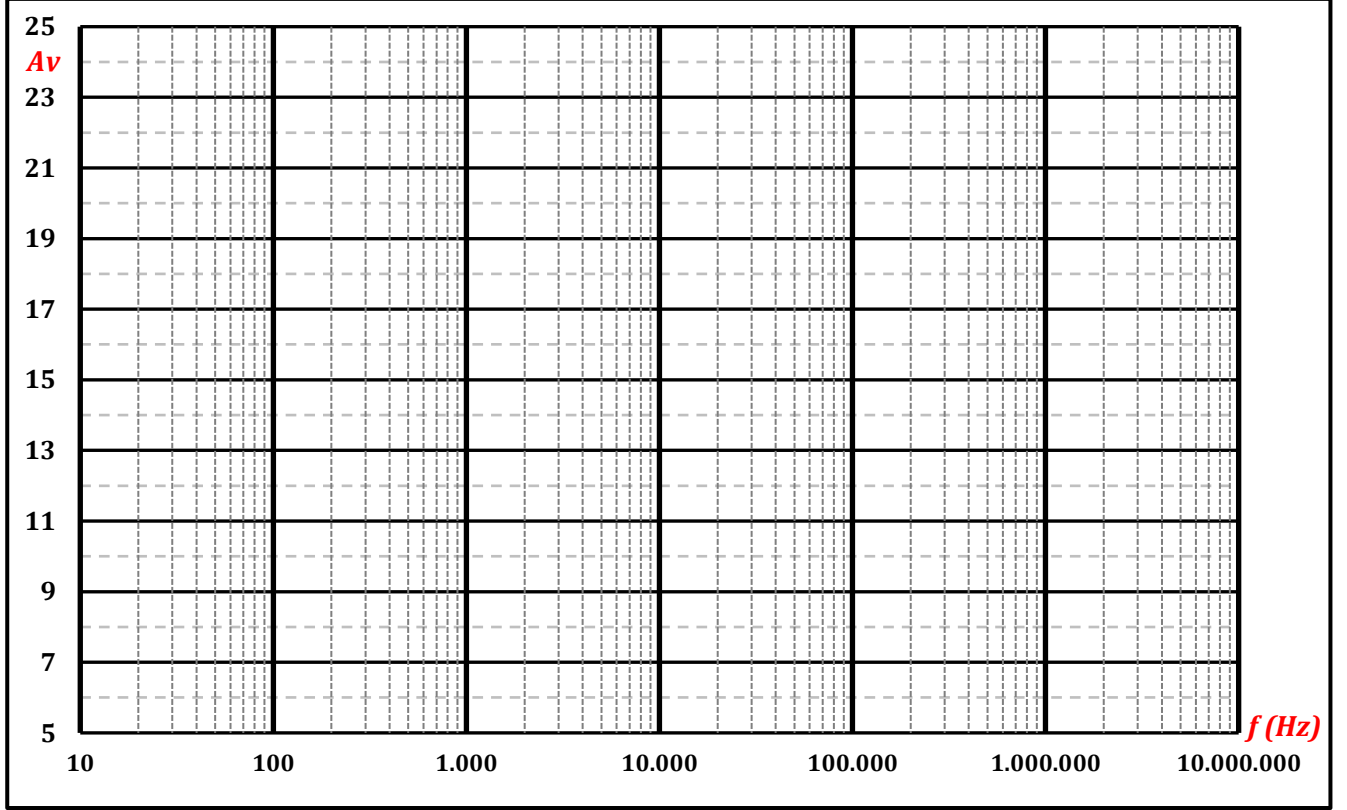
3. Tablo 5.1'deki elde edilen verilerden devrenin bant geçiren bölgesinde ortalama A_v 'yi bulduktan sonra devrenin alt ve üst kesim frekanslarını bulunuz. Alt ve Üst kesim frekanslarını deneysel olarak bulmak için aşağıdaki adımları takip ediniz;

- Öncelikle bulunan ortalama A_v değerini **0,707** değeri ile çarparak kesim kazanç değerini tespit ediniz. Bu değere A_{v_kesim} adını verelim. Bu bulunan değer Şekil 5.1'deki grafikte görülen **Q** ve **P** noktalarının Y eksenini kestiği değer olmaktadır.
- İkinci aşamada bulunan A_{v_kesim} değerini **20mV_{P-P}** giriş gerilimi ile çarparak aradığımız çıkış gerilimini hesaplayalım ve adına da V_{o_kesim} adını verelim.
- Üçüncü aşamada giriş sinyalinin frekansını **10 Hz**'e ayarladıktan sonra belirli aralıklar ile frekans değerini artıralım ve her artırım yaptığınızda osiloskoptan çıkış sinyalinin gerilimini takip ediniz. Çıkış sinyalinin V_{p-p} değeri V_{o_kesim} değerine gelene kadar frekans artırma işine devam ediniz. V_{o_kesim} değerini bulduğunuz andaki frekans değerini alt kesim frekansı olarak not ediniz.
- Dördüncü adımda ise giriş sinyalinin frekansını **10 MHz**'e ayarladıktan sonra belirli aralıklar ile frekans değerini azaltın ve her azaltım yaptığınızda osiloskoptan çıkış sinyalinin gerilimini takip ediniz. Çıkış sinyalinin V_{p-p} değeri V_{o_kesim} değerine gelene kadar frekans azaltma işine devam ediniz. V_{o_kesim} değerini bulduğunuz andaki frekans değerini üst kesim frekansı olarak not ediniz.

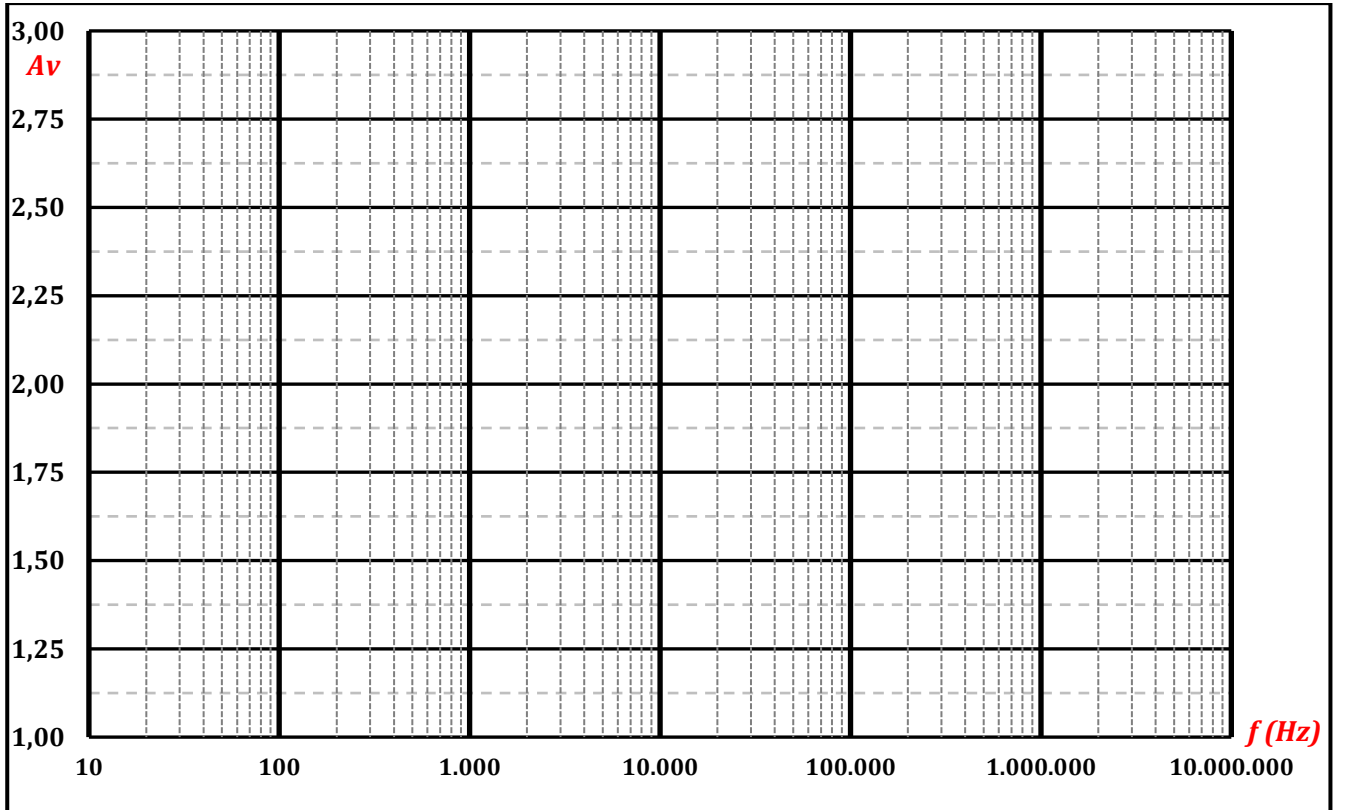
Tablo 5.3. CE devrede iken bulunan alt ve üst kesim frekans değerleri

$f_{ALT} =$
$f_{ÜST} =$

4. Tablo 5.1’de verilen değerleri kullanarak frekans-kazanç bant eğrisini Şekil 5.3’e logaritmik ölçek skalasına dikkat ederek çiziniz.
5. 4.adımdaki işlemi Tablo 5.2’yi kullanarak Şekil 5.3 üzerine tekrarlayınız.



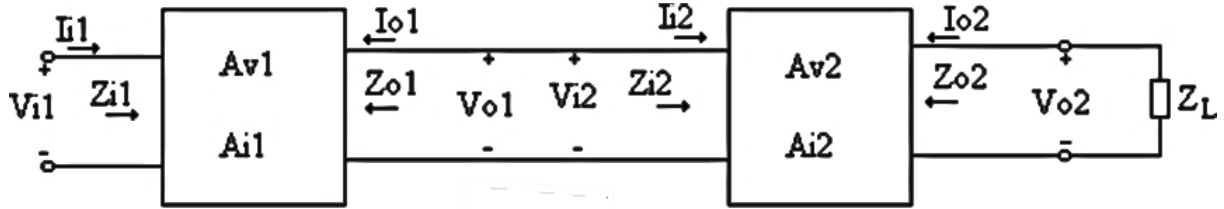
Şekil 5.2. CE devreye **bağlı iken** çıkan frekans-kazanç bant eğrisi



Şekil 5.3. CE devrede **değilken** çıkan frekans-kazanç bant eğrisi

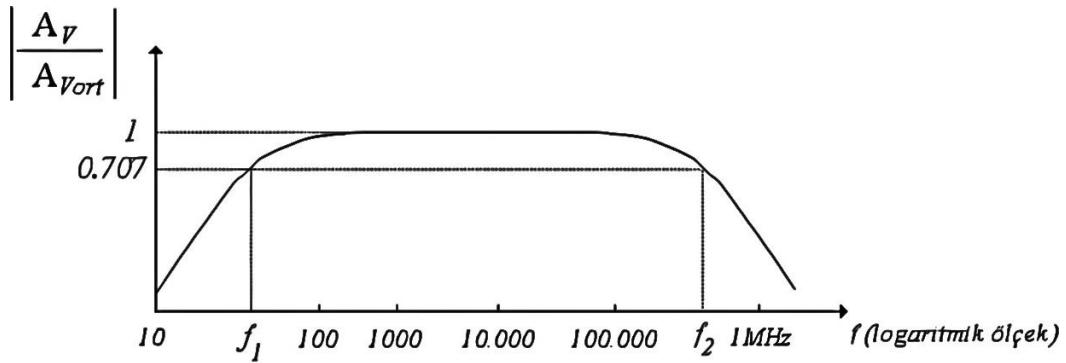
SORULAR:

1. Şekil 5.2 ve Şekil 5.3'te elde edilen kazanç-bant eğrilerini yorumlayınız.
2. CE devrede iken ve CE devreye bağlı değilken devrenin bant genişliklerini hesaplayınız.
3. Ortak emiterli devre DC şartlar altında incelendiğinde RE direncinin devreye olumlu etkisi nasıl olmaktadır?
4. Transistörün yarı iletken yapısından kaynaklanan ve jonksiyonlar arasında oluşan jonksiyon kapasitesi ve difüzyon kapasitesinin yüksek frekanslarda etkisi nasıl olmaktadır?
5. Kaskat bağlı çok katlı transistörlü yükselteçlerde kazanç nasıl hesaplanır?
6. Şekil 5.4'deki kuvvetlendirici devresinin toplam gerilim ve güç kazancını belirli empedans ve akım parametrelerine bağlı olarak formülize ediniz.
7. Şekil 5.4'de iki katlı yükselteç devresinde, birinci katın gerilim kazancı $A_{V1} = -40$; ikinci katın gerilim kazancı $A_{V2} = -50$ ve birinci katın giriş gerilimi $V_{i1} = 1\text{mV}$ ise ikinci katın çıkış gerilimi V_{o2} 'i hesaplayınız.



Şekil 5.4. Kaskat bağlı sistem

8. 40W çıkışlı bir yükselteç 10Ω 'luk bir hoparlöre bağlanmıştır.
 - a. Güç kazancı 25dB ise tam güç sağlamak için gereken giriş gücünü bulunuz.
 - b. Yükseltecin gerilim kazancı 40dB ise nominal çıkış için giriş gerilimini hesaplayınız.
9. Uygulamada kazancın frekansa göre değişimi genelde Desibel cinsinden verilir. Desibel kavramı ve ilgili hesaplamalar hakkında bilgi edininiz. Şekil 5.5'de görülen frekans-normalize kazanç eğrisinin desibel cinsinden kazanç(dB)-frekans grafiğini tekrar elde ediniz. (Normalize kazanç, her bir frekanstaki kazanç değeri orta frekanslardaki kazanç değerine bölünerek elde edilir.)



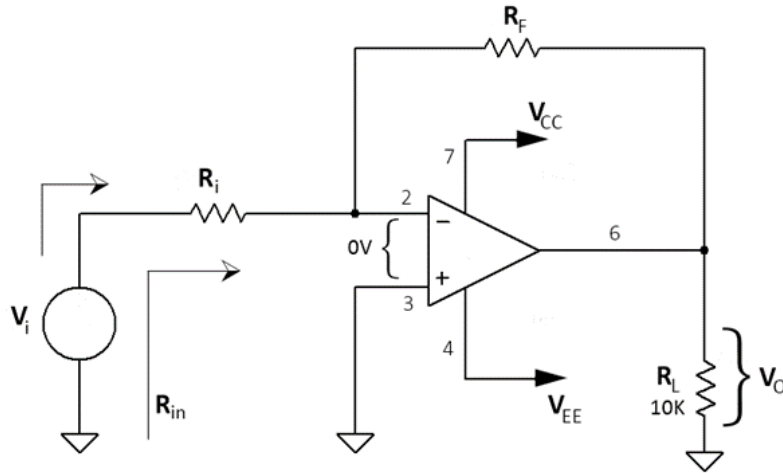
Şekil 5.5. Normalize frekans-kazanç bant eğrisi

SONUÇ:

Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 6 — Eviren ve Evirmeyen Yükselteçler**DENEYİN ADI:** Eviren ve Evirmeyen Yükselteçler**DENEYİN AMACI:** Op-amp'lar ile temel yükseltme işlemleri yapabilmek.**TEORİK BİLGİ:**

Bu deneyde, Op-amp'larda negatif geri besleme kavramıyla tanışacağız. Op-amp'larda negatif geri besleme kullanmak, $\pm V_{sat}$ sınırları arasında lineer moda yükselteç olarak çalışan op-amp'ın çıkışını etkileyecektir. Negatif geri besleme iki tip yükseltecin gelişmesine temel teşkil eder. Bu yükselteçler, eviren yükselteç ve evirmeyen yükselteçlerdir. Negatif geri beslemeli bir op-amp, harici bir dirençle ayarlanabilen bir kapalı çevrim kazancına sahip olacaktır. Böylelikle yükselteç girişine, giriş sinyalleri uygulanacak bu sinyaller yükseldikten sonra belirli bir kazançla sahip olan çıkış sinyalleri çıkıştan alınacaktır.

A. EVİRİCİ YÜKSELTECİN DİZAYNI VE ANALİZİ

Şekil 6.1. Eviren yükselteç dizayn devresi

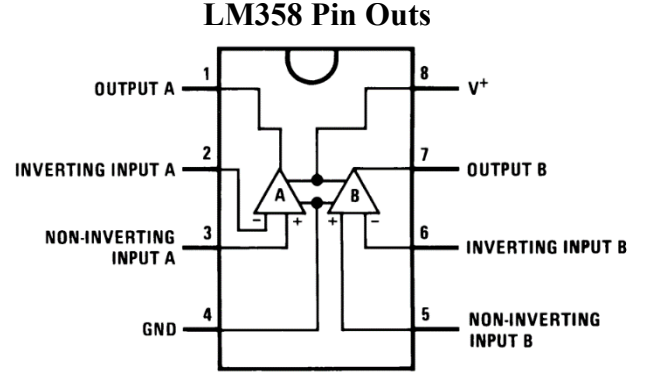
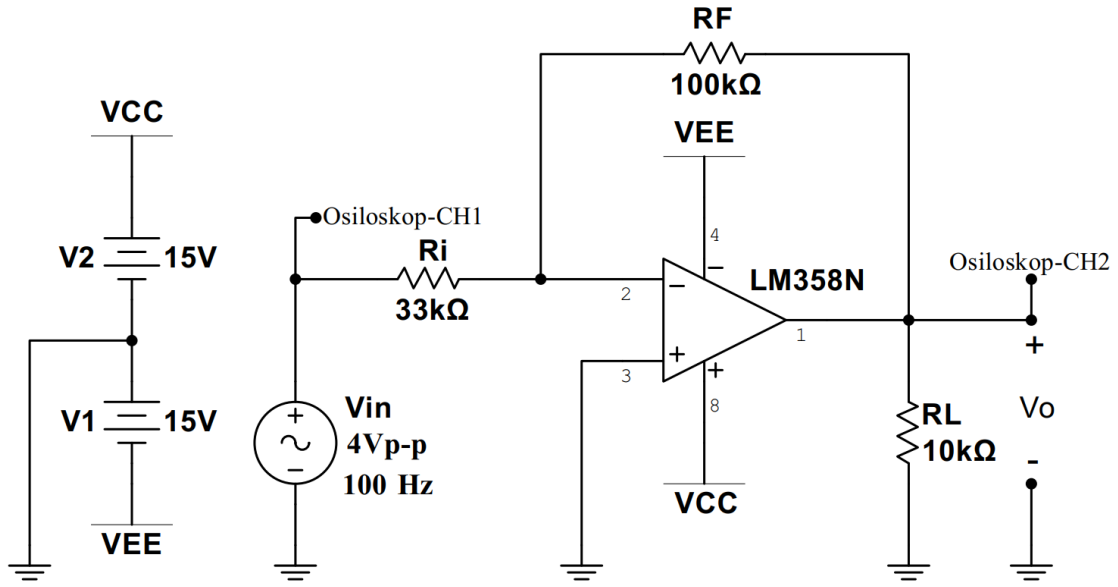
1. Şekil 6.1 kapalı-çevrim kazancı $A_{CL} = -10$ ve giriş direnci $R_{in} = 10K \Omega$ olarak dizayn edilmiş temel evirici yükselteci görülmektedir.
2. Evirici yükselteç için R_{in} , R_i ye eşittir.
3. V_i ile V_o arasındaki beklenen faz farkı (θ) nedir?

Tablo 6.1. Eviren yükseltecin dizayn parametreleri

A_{CL}	R_{in}	R_i	$R_F = A_{CL} * R_i$	θ
-10	10K Ω			

KULLANILAN ELEMANLAR:

- Direnç 10K Ω , 33K Ω , 100K Ω
- LM358 Op-amp
- Multimetre
- 2 Kanallı Güç kaynağı
- Sinyal Jeneratörü
- Osiloskop

**DENEY DEVRESİ:**

Şekil 6.2. Eviren yükselteç deney devresi

İŞLEM BASAMAKLARI:

1. Şekil 6.2 için, ilk önce $R_i=33K \Omega$, $R_F=100K \Omega$ dirençlerini renk kodlarına göre ayırın. Bu direnç değerlerini dijital Multimetre ile ölçerek Tablo 6.2'ye kaydediniz. Ölçülen bu direnç değerlerine göre Tablo 6.2'deki diğer parametreleri hesaplayarak ilgili yerleri doldurunuz.

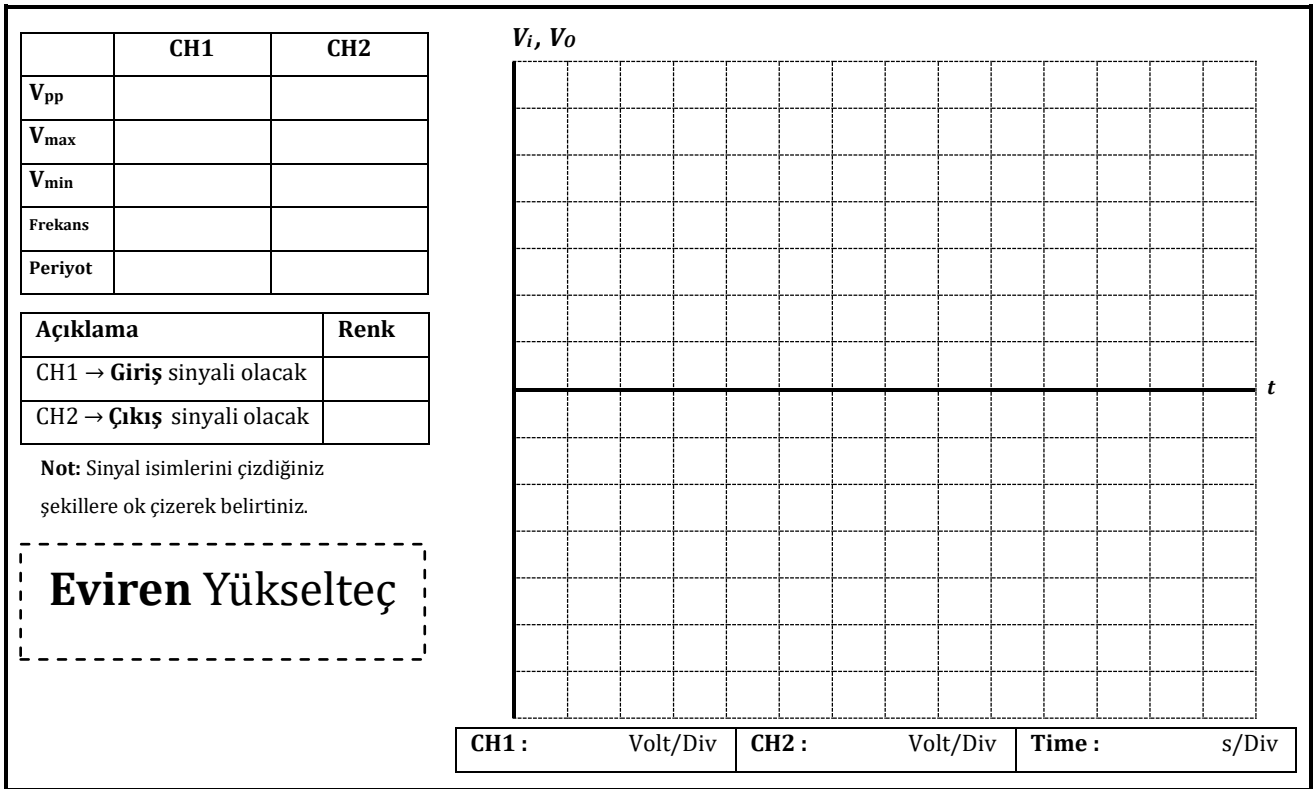
Tablo 6.2. Eviren yükseltecin hesaplanan parametreleri

R_i	R_F	R_{in}	A_{CL}	θ	V_o
Ω	Ω	Ω		o	V_{P-P}

2. Şekil 6.2'deki devreyi kurunuz. $V_{in} = 4V_{P-P}$ 100 Hz olarak devreye uygulayınız. V_O çıkış gerilimini osiloskobun kanal 2 girişinden görüntüleyip gözlemlediğiniz sinyali Şekil 6.3'e çiziniz. Tablo 6.3'te istenen değerleri ölçüp ilgili tabloya kaydediniz.

Tablo 6.3. Eviren yükseltecin ölçülen parametreleri

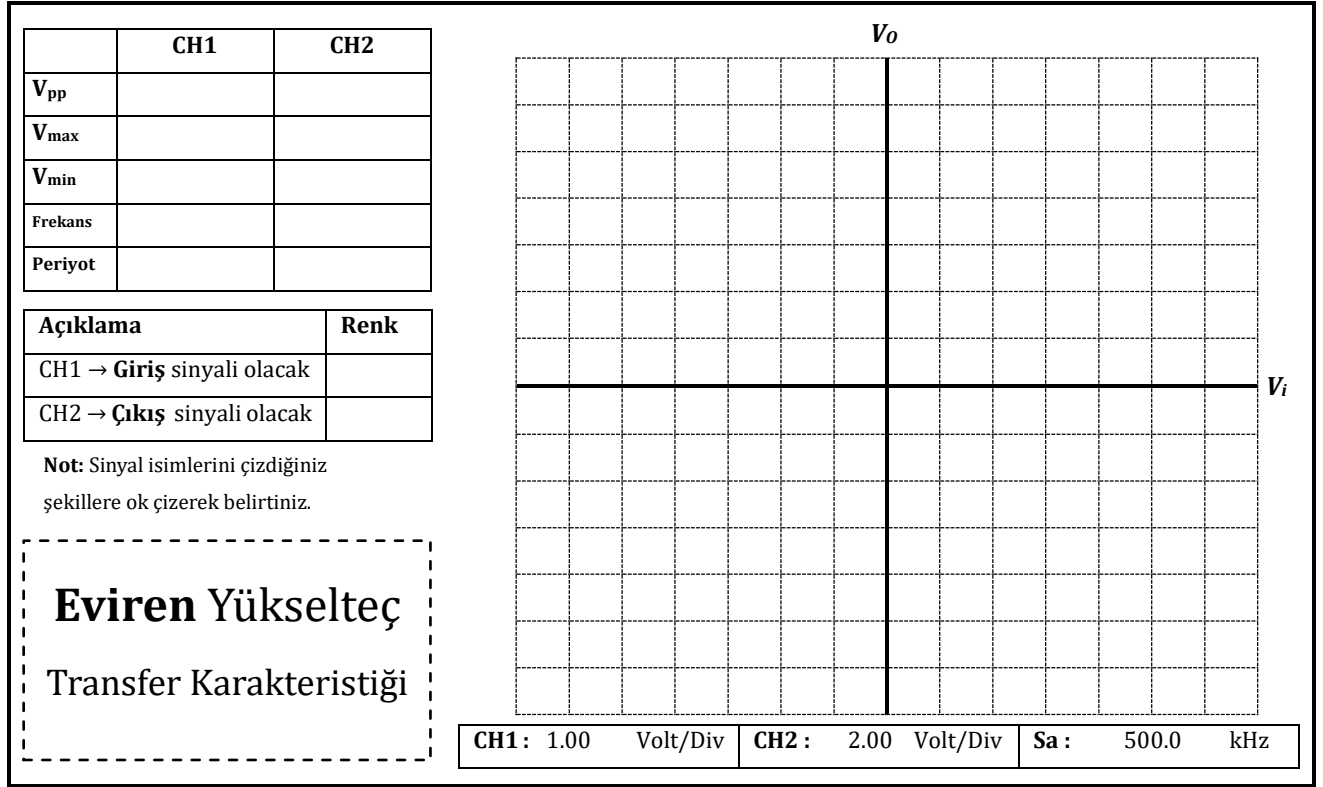
R_{in}	A_{CL}	θ	V_O
Ω	$A_V = \frac{V_{out\ p-p}}{V_{in\ p-p}} =$	o	V_{P-P}



Şekil 6.3. Sinüs dalgası için giriş ve çıkış sinyallerinin osiloskop görüntüsü

3. Giriş sinyalinin gerilimini $V_{in} = 10 V_{P-P}$ 100 Hz olarak devreye uygulayınız. V_O çıkış gerilimini gözlemleyiniz (Fotoğraflayın). V_O çıkış gerilimine ne olduğunu açıklayınız.
4. Evirici yükseltecin transfer eğrisini bulabilmek için; ilk önce $V_i = 4V_{P-P}$ 100 Hz yapılır. V_i 'yi görmek için CH1'i 1V/Div, V_O için CH2'yi 2V/Div yapın. Osiloskobu XY konumuna alın. Her iki kanalı da topraklayın. Dikey eksen pozisyonlarını sıfırlayın.
- Osiloskobu XY konumuna almak için;
- “Display” tuşuna basınız.
 - Gelen menüde “Next Page” diyerek 2.sayfaya geçiniz.
 - “Format-YT” olarak görünen tuşa basarak “Format-XY” moduna alınız.

Daha sonra çıkan eğrinin orta noktasını eksenin sıfır noktasına göre dikey eksen pozisyon ayarlarını kullanarak orijin noktasına oturtun. Görüntülenen eğimi Şekil 6.4'e çiziniz.

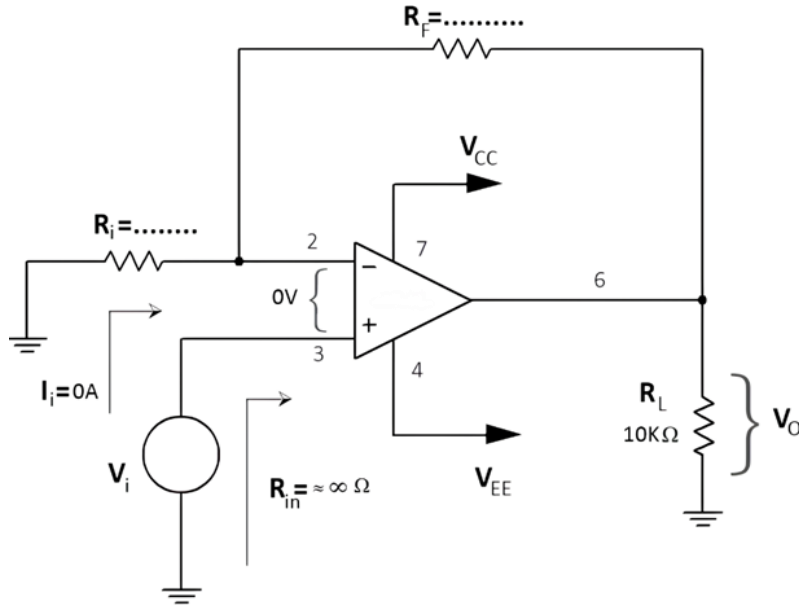


Şekil 6.4. Eviren yükseltecin transfer karakteristiği

SORULAR:

1. Tablo 6.1'deki olması gereken faz farkı ile 2. adımda ölçülen faz farkı aynı mıdır?
2. Tablo 6.1'deki olması gereken A_{CL} ile 2. adımda ölçülen A_{CL} aynı mıdır?
3. 3.adımdaki soruyu burada cevaplayınız.
4. V_o çıkış gerilimi, giriş gerilimi ile aynı fazda mıdır?

B. EVİRMEYEN YÜKSELTECİN DİZAYNI VE ANALİZİ



Şekil 6.5. Evirmeyen yükseltecin dizayn devresi

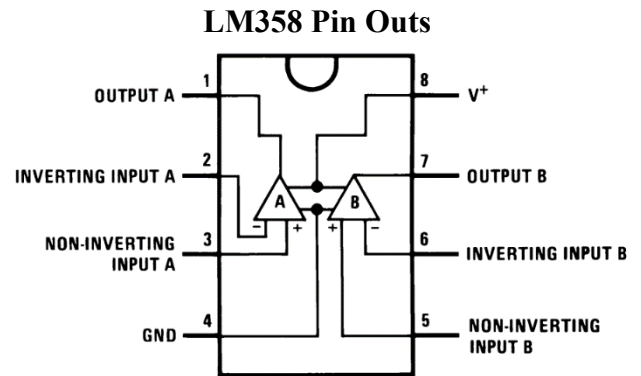
1. Şekil 6.5 kapalı-çevrim gerilim kazancı $A_{CL} = 2$ olacak şekilde dizayn edilmiş temel evirici olmayan yükselteci görülmektedir.
2. Evirici olmayan yükselteç için R_{in} değeri çok büyüktür. Bu dizayn için ($\infty\Omega$) değerinde kabul edilebilir.
3. V_i ile V_o arasındaki beklenen faz farkı (θ) nedir?

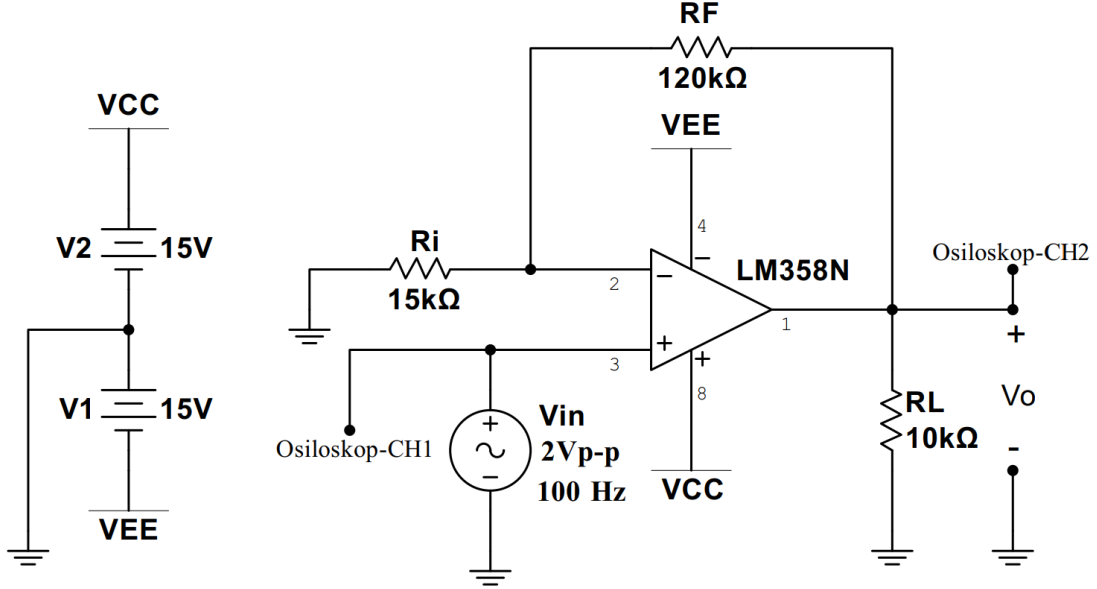
Tablo 6.4. Evirmeyen yükseltecin dizayn parametreleri

A_{CL}	R_i	$R_F = A_{CL} * R_i - R_i$	θ
2	100K Ω		

KULLANILAN ELEMANLAR:

- Direnç 10K Ω , 15K Ω , 120K Ω
- LM358 Op-amp
- Multimetre
- 2 Kanallı Güç kaynağı
- Sinyal Jeneratörü
- Osiloskop



DENEY DEVRESİ:

Şekil 6.6. Evirmeyen yükselteç deney devresi

İŞLEM BASAMAKLARI:

- Şekil 6.6 için, ilk önce $R_i=15K \Omega$, $R_F=120K \Omega$ dirençlerini renk kodlarına göre ayırın. Bu direnç değerlerini dijital Multimetre ile ölçerek Tablo 6.5'e kaydediniz. Ölçülen bu direnç değerlerine göre Tablo 6.5'deki diğer parametreleri hesaplayarak ilgili yerleri doldurunuz.

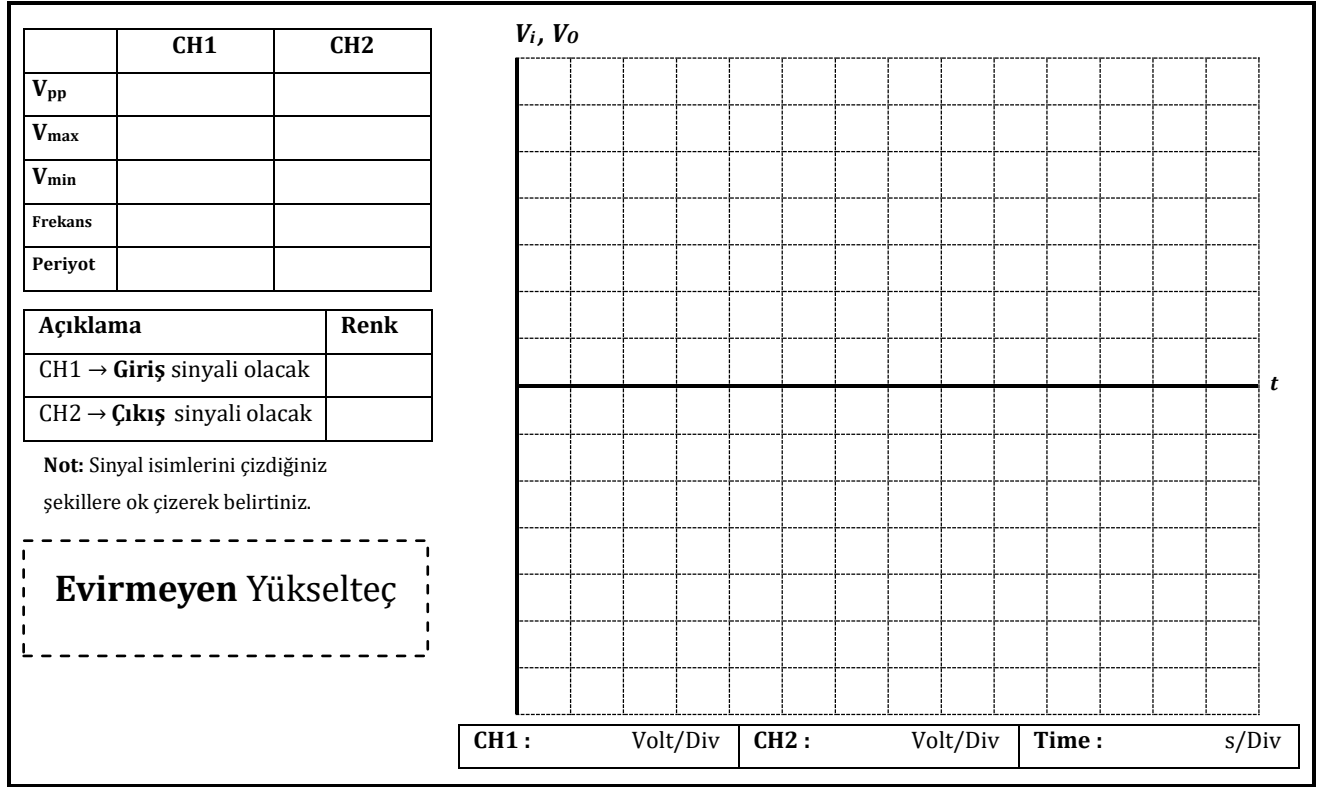
Tablo 6.5. Eviren yükseltecin hesaplanan parametreleri

R_i	R_F	$A_{CL} = 1 + \frac{R_F}{R_i}$	θ	V_o
Ω	Ω		o	V_{P-P}

- Şekil 6.6'deki devreyi kurunuz. $V_{in}= 2V_{P-P}$ 100 Hz olarak devreye uygulayınız. V_o çıkış gerilimini osiloskobun kanal 2 girişinden görüntüleyip gözlemlediğiniz sinyali Şekil 6.7'e çiziniz. Tablo 6.6'da istenen değerleri ölçüp ilgili tabloya kaydediniz.

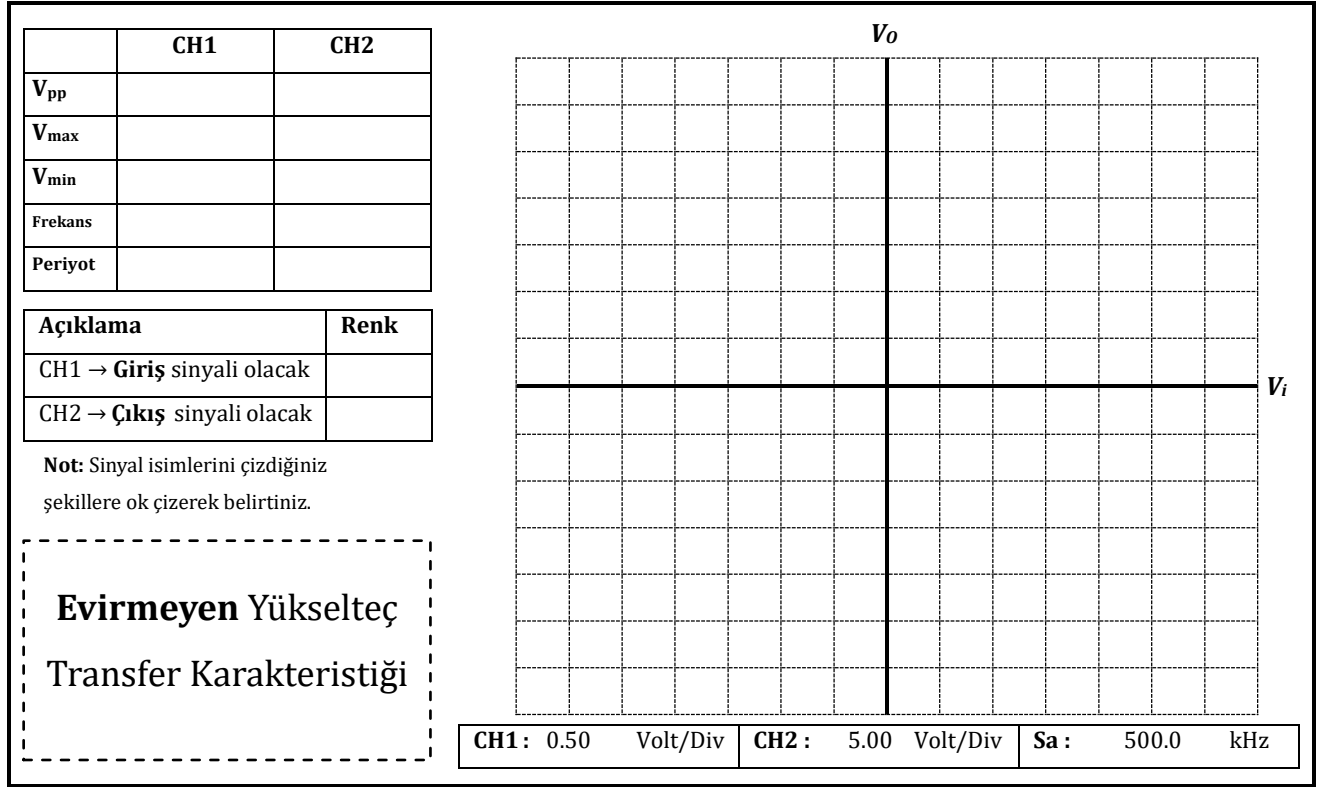
Tablo 6.6. Eviren yükseltecin ölçülen parametreleri

R_{in}	A_{CL}	θ	V_o
Ω	$A_V = \frac{V_{out p-p}}{V_{in p-p}} =$	o	V_{P-P}



Şekil 6.7. Sinüs dalgası için giriş ve çıkış sinyallerinin osiloskop görüntüsü

3. V_o kırılmaya başlayıncaya kadar V_i 'yi yavaşça arttırın. Distorsiyon başlamadan hemen önce maksimum $V_i(p-p)$ değerini kaydedin. $V_{i p-p} = \dots\dots\dots$
4. Evirici olmayan yükseltecin transfer eğrisini bulabilmek için; ilk önce $V_i = 2V_{P-P}$ 100 Hz yapılır. V_i 'yi görmek için CH1'i 0.5V/Div, V_o için CH2'yi 5V/Div yapın. Osiloskobu XY konumuna alın. Her iki kanalı da topraklayın. Dikey eksen pozisyonlarını sıfırlayın.
Osiloskobu XY konumuna almak için;
 - a. "Display" tuşuna basınız.
 - b. Gelen menüde "Next Page" diyerek 2.sayfaya geçiniz.
 - c. "Format-YT" olarak görünen tuşa basarak "Format-XY" moduna alınız.
 Daha sonra çıkan eğrinin orta noktasını eksenin sıfır noktasına göre dikey eksen pozisyon ayarlarını kullanarak orijin noktasına oturtun. Görüntülenen eğimi Şekil 6.8'e çiziniz.

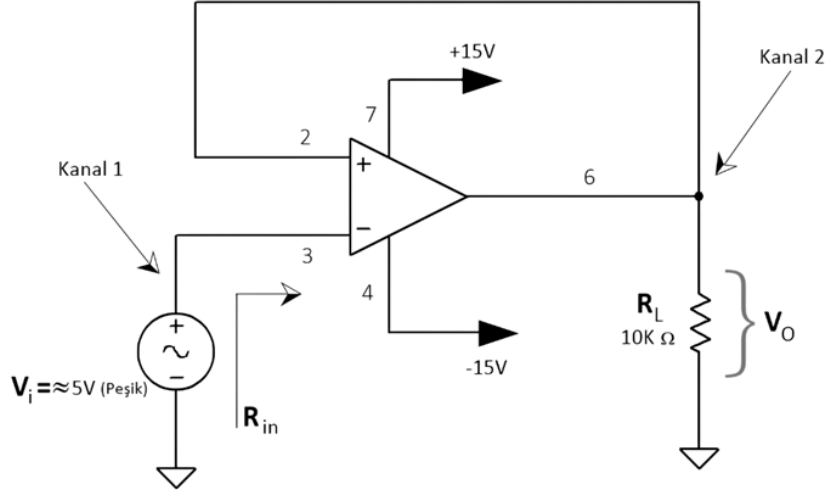


Şekil 6.8. Evirmeyen yükseltecin transfer karakteristiği

SORULAR:

1. Tablo 6.4'deki olması gereken faz farkı ile 2. adımda ölçülen (Tablo 6.6) faz farkı aynı mıdır?
2. Tablo 6.4'deki olması gereken A_{CL} ile 2. adımda ölçülen A_{CL} aynı mıdır?
3. V_o çıkış gerilimi, giriş gerilimi ile aynı fazda mıdır?

C. GERİLİM İZLEYİCİ DİZAYNI VE ANALİZİ



Şekil 6.9. Gerilim izleyici dizayn devresi

1. Şekil 6.9'taki gerilim izleyici yükseltece bakarak Tablo 6.7'deki değerleri bulunuz.

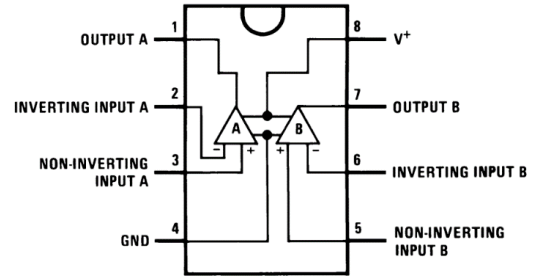
Tablo 6.7. Gerilim izleyicinin parametreleri

A_{CL}	R_{in}	V_o	θ
	Ω		

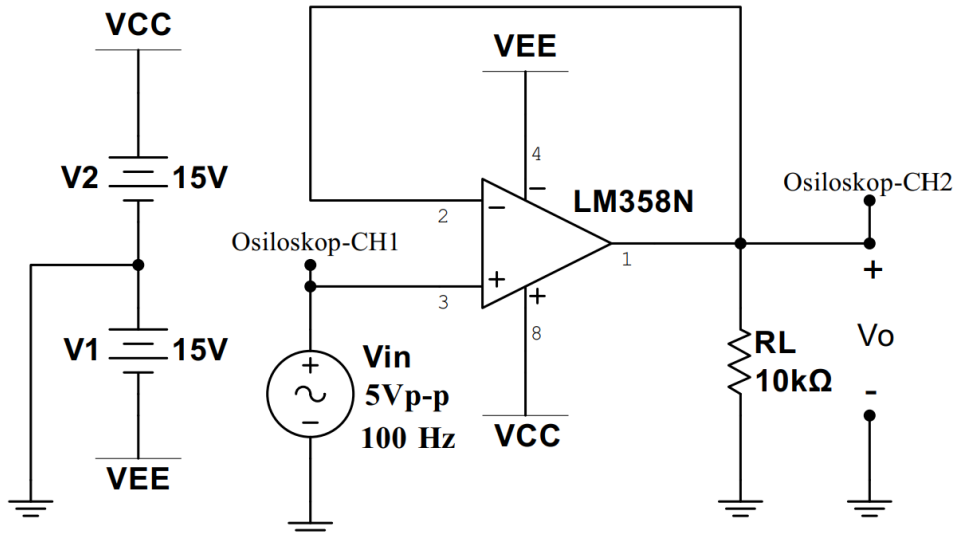
KULLANILAN ELEMANLAR:

- Direnç 10K Ω
- LM358 Op-amp
- Multimetre
- 2 Kanallı Güç kaynağı
- Sinyal Jeneratörü
- Osiloskop

LM358 Pin Outs



DENEY DEVRESİ:



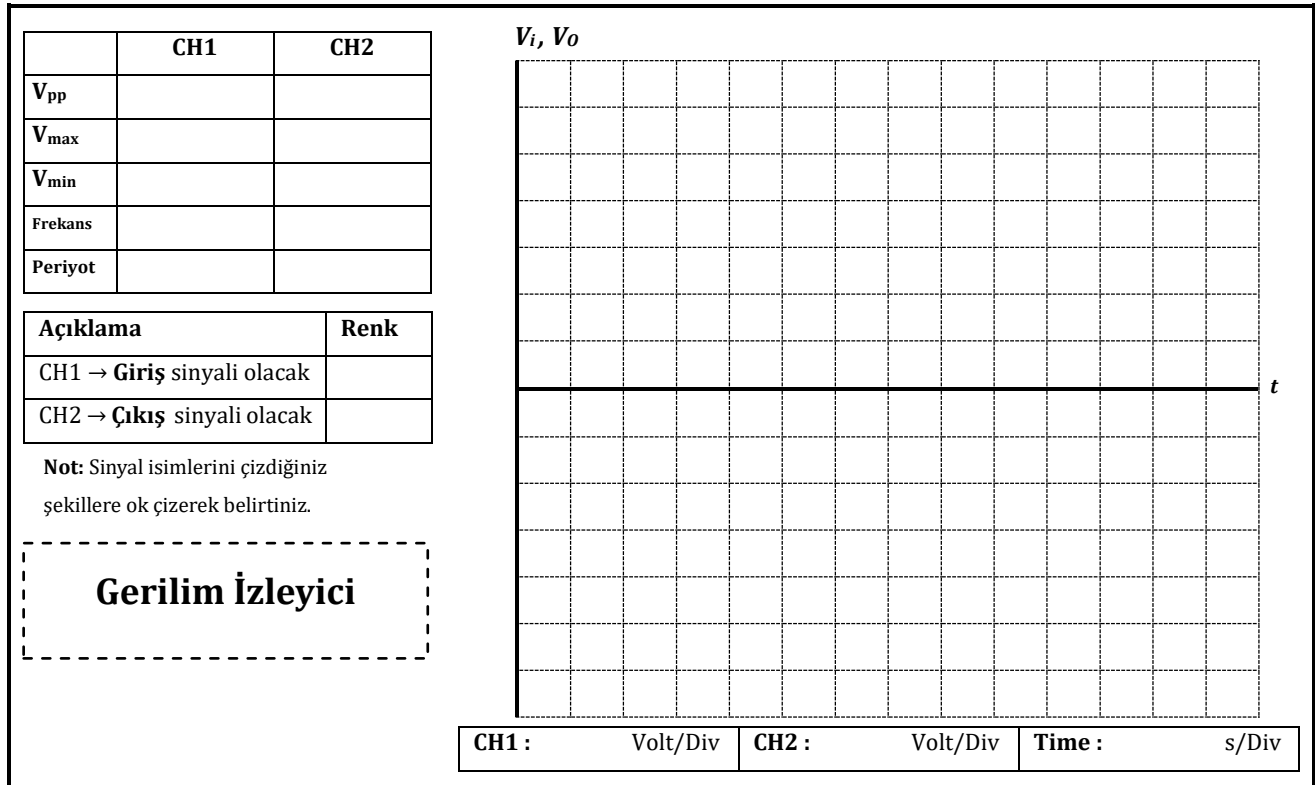
Şekil 6.10. Gerilim izleyici deney devresi

İŞLEM BASAMAKLARI:

- Şekil 6.10'daki devreyi kurunuz. $V_{in} = 5V_{P-P}$ 100 Hz olarak devreye uygulayınız. V_O çıkış gerilimini osiloskobun kanal 2 girişinden görüntüleyip gözlemlediğiniz sinyali Şekil 6.11'e çiziniz. Tablo 6.8'de istenen değerleri ölçüp ilgili tabloya kaydediniz.

Tablo 6.8. Gerilim izleyici devresi ölçülen değerleri

A_{CL}	θ	V_O
$A_V = \frac{V_{out\ p-p}}{V_{in\ p-p}} =$	o	V_{P-P}



Şekil 6.11. Sinüs dalgası için giriş ve çıkış sinyallerinin osiloskop görüntüsü

- V_O kırılmaya başlayıncaya kadar V_i 'yi yavaşça arttırın. Distorsiyon başlamadan hemen önce maksimum $V_i(p-p)$ değerini kaydedin. $V_{i\ p-p} = \dots\dots\dots$
- V_i 'yi maksimum çıkarabileceğiniz seviyeye getirin. V_{sat} 'ı ölçebiliyor musunuz?

SORULAR:

- A_{CL} ve θ 'nin umulan değerleriyle ölçülen değerleri aynı mı?
- V_O çıkış gerilimi, giriş gerilimi ile aynı fazda mıdır?

SONUÇ:

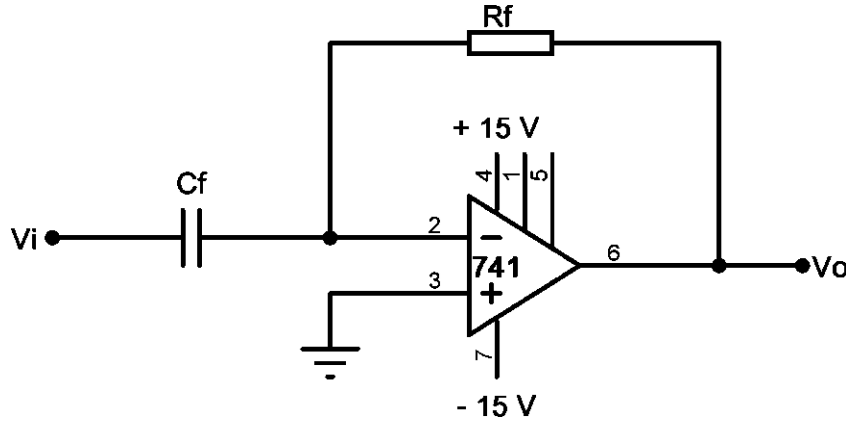
Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 7 — Türev Alıcı**DENEYİN ADI:** Türev alabilen devre tasarımı ve analizi**DENEYİN AMACI:** Op-amp ile türev alabilen devre yapabilmek**TEORİK BİLGİ:**

Türev alıcı devresi, genel olarak bir eviren yükselteç özelliğindedir (Şekil 7.1). Fark olarak girişte direnç yerine kondansatör (C_f) bulunmaktadır. Devre, girişine uygulanan periyodik işaretin türevini alarak çıkışa aktarır. Bu işlem formüllerle şu şekilde açıklanabilir.

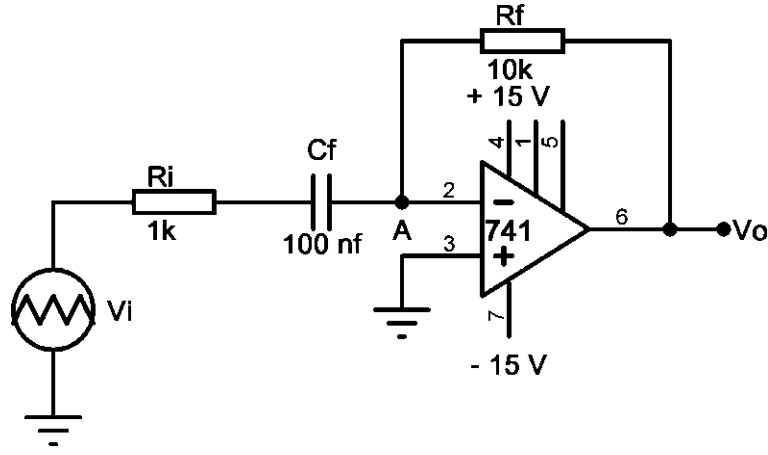
Op-amp devresinin giriş empedansı çok yüksek olduğundan 2 nolu pindeki gerilim yaklaşık 0 volt (+ uçtaki gerilim) civarındadır. Buna göre; C_f kondansatörü üzerinden akacak akım;

$I_f = C_f \times (dV_i / dt)$ olur. Çıkış gerilimi $V_o = I_f \times R_f$ olarak yazılabilir. (2 nolu pindeki gerilim yaklaşık olarak 0 volt olduğundan). $V_o = - (R_f \times C_f) \times (dV_i / dt)$ olacaktır. Görüldüğü gibi Şekil 7.1 de devre girişine uygulanan V_i işaretinin türevini alıp (dV_i / dt) belirli bir sabit ile $(R_f \times C_f)$ çarparak çıkışına aktarılmaktadır.



Şekil 7.1. Temel türev alıcı devre

Şekil 7.1'deki devre uygulamada bu haliyle yeterli değildir çünkü C_f kondansatörü yüksek frekanslardaki işaretlerde kısa devre gibi davranacağından yükseltecin kazancı artar, çıkış gerilimi bu frekanslar için yüksek değerlere ulaşır. V_i işaretinin frekansı yüksek olmasa bile beraberinde gürültü mevcut olabilir. Gürültü işareti çok geniş frekans tayfına sahip olduğundan Şekil 7.1'deki devre gürültünün yüksek frekans bölümü olduğu gibi yükseltebilir. Bu ise istenmeyen bir durumdur. Bu nedenle op-amp devresi kazancına yüksek frekanslar için bir sınır koymak gerekir. Bu işlem Şekil 7.2'de görüldüğü gibi bir R_i direncinin eklenmesi ile sağlanabilir. Artık devrenin maksimum kazancı R_f/R_i olarak sınırlandırılmıştır.



Şekil 7.2. Kazancı sınırlandırılmış türev alıcı devre

Bu devrenin türev alıcı devre olarak çalışabilmesi için 2 kuralın yerine getirilmesi gerekmektedir.

1. Giriş işaret frekansı; $f_i < \frac{1}{2\pi R_i C_f} = f_c$ olmalıdır. Aksi halde devre türev alıcı olarak çalışmaz. (f_i = giriş frekansı, f_c = kesim frekansı)
2. Devrede $R_f \times C_f$ çarpımı zaman sabitesi olarak isimlendirilir. Giriş işaretinin periyodu yaklaşık bu değer civarında olmalıdır.

Şekil 7.2’de devreye frekansı 1 KHz sinüzoidal işaret için türev alıcı olarak çalışabilir mi? Gerekli hesaplamaları yaparak açıklayınız?

Şekil 7.2’deki devrenin söz konusu işaret için türev alıcı devre olarak çalışabileceğini kanıtladıktan sonra, devre girişine 0.5 V genlikli ve 1 KHz frekanslı bir sinüzoidal uygulandığında çıkışta görülecek işaretin ne tip bir işaret olduğunu araştıralım;

Giriş işaretini;

$$V_i = 0.5 \sin 2\pi f_i t$$

$V_i = 0.5 \sin 2\pi(1000)t$ olarak formülüne edilir.

Çıkış işaretini;

$V_o = - (R_f \times C_f) / (dV_i / dt)$ olduğuna göre

$$V_o = - (10k)(100nf) d/dt (0.5 \sin 2\pi(1000)t)$$

$$V_o = - (10 \times 10^3)(100 \times 10^{-9})(0.5 \sin * 2\pi * 1000)(\cos 2\pi(1000)t)$$

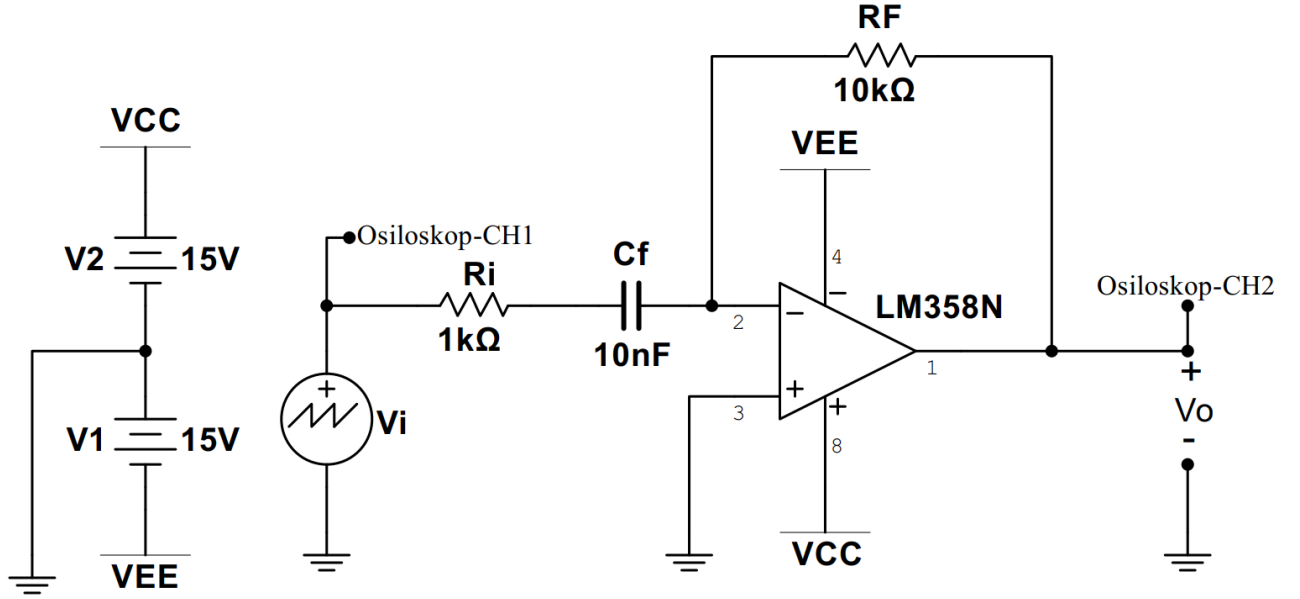
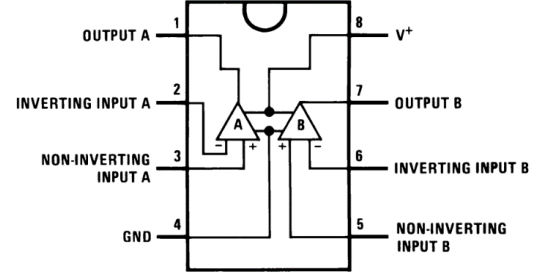
$$V_o = - (10^{-3} * 0.5 * 6.28 * 1000)(\cos 2\pi(1000)t)$$

$$V_o = - 3.14 \cos 2\pi(1000)t \text{ olur.}$$

O halde çıkış işareti, 3,14 Vp değerli ve 1 KHz frekanslı bir kosinüs eğrisidir.

KULLANILAN ELEMANLAR

- Simetrik DC güç kaynağı
- LM358N Op-amp
- Direnç 1K Ω , 10K Ω
- Kondansatör 10 nF
- Osiloskop, Sinyal Jeneratörü

DENEY DEVRESİ:**LM358 Pin Outs**

Şekil 7.3. Türev alıcı ile ilgili deney devresi

DENEY DEVRESİ HESAPLAMALARI:

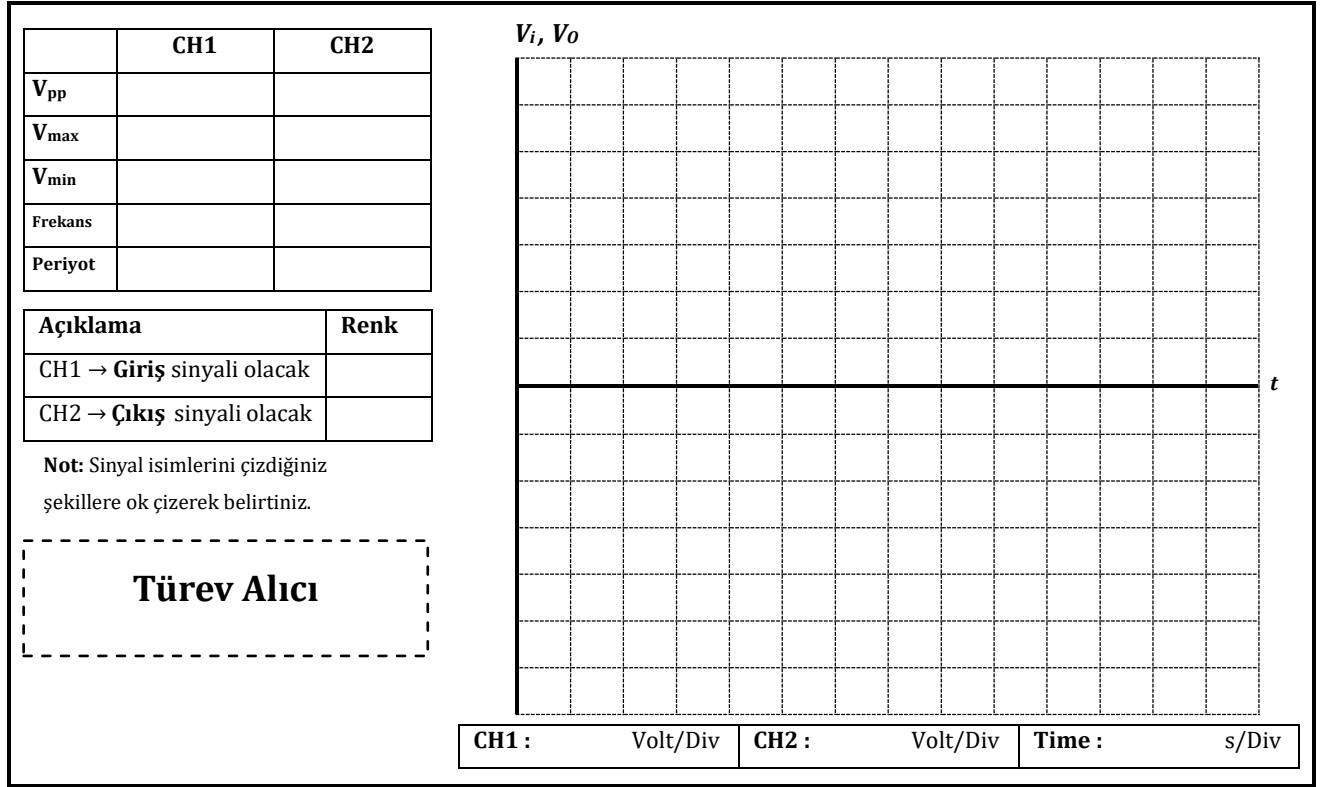
1. Şekil 7.3'deki devrede verilen değerlere göre Tablo 7.1'deki istenilen değerleri hesaplayınız.

Tablo 7.1. Şekil 7.3'teki devreye ait hesaplanan değerleri

Hesap			
$f_c = \frac{1}{2\pi R_i C_f}$	_____ =	f_i	_____
$V_o = \frac{V_2 - V_1}{t_1 - t_0} \times (C_f * R_f)$	$V_o =$ _____		

İŞLEM BASAMAKLARI:

1. Şekil 7.3'deki devreyi kurunuz.
2. V_i giriş sinyalini 4V_{p-p}, 1 KHz üçgen dalga olacak şekilde ayarlayın.
3. Giriş ve çıkış sinyallerini osiloskopta aynı anda görüntüleyerek sinyalleri Şekil 7.4'e çiziniz.
4. Girişe uygulanan üçgen dalganın genliği aynı kalmak şartı ile frekansını 0.5 kHz yaparak çıkışı gözlemleyiniz (📷 Fotoğraf çekin → [Görsel 7.1]).



Şekil 7.4. Türev alıcı devreye ait giriş ve çıkış sinyalleri

5. Girişe uygulanan üçgen dalganın genliği aynı kalmak koşuluyla frekansını 20 KHz yaparak çıkışı gözlemleyiniz (📷Fotoğraf çekin → [Görsel 7.2]). Çıkış işaret şekli öncekilere kıyasla değişti mi? Niçin? Devrenin gerilim kazancı ne kadar? Devre sadece eviren yükselteç gözüyle bakılabilir mi? Niçin? [Soruların açıklamalarını 3.adımda yapınız.]
6. Şekil 7.3'teki R_i direncini devreden çıkartarak giriş ve çıkış sinyalini tekrardan osiloskopta görüntüleyiniz (📷Fotoğraf çekin → [Görsel 7.3]). Nelerin değiştiğini açıklayınız. R_i 'nin türev alıcı devredeki görevini yazınız.

SORULAR

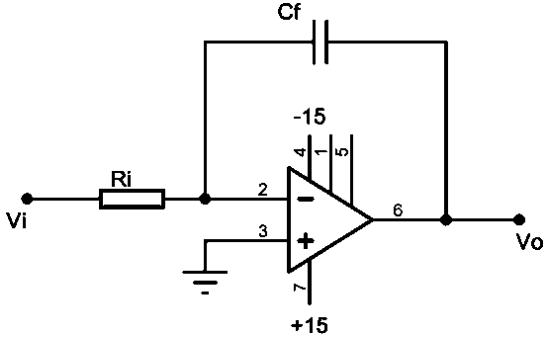
1. V_o 'nun hesaplanan genlik değeri deneyde ölçülen ile aynı mıdır?
2. 4.adımda çıkışta gözlemlediğiniz işaretle ne gibi değişiklikler oldu? Bu değişiklikleri nasıl açıklarsınız?
3. 5.adımda sorulan soruları burada cevaplayınız.
4. 6.adımda sorulan soruları burada cevaplayınız.

SONUÇ:

Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 8 — İntegral Alıcı**DENEYİN ADI:** İntegral alabilen devre tasarımı ve analizi**DENEYİN AMACI:** Op-amp ile integral alabilen devre yapabilmek**TEORİK BİLGİ:**

İntegral alıcı devresi genelde girişine uygulanan işaretin integralini alır ve çıkışa aktarır. Bu işlemi yapan bir op-amp devresi Şekil 8.1’de görülmektedir. Dikkat edilecek olursa, türev alıcı devresindeki direnç ve kondansatörlerin yerlerini değiştirmek suretiyle integral alıcı devresi elde edilmektedir. Bu devrede de 2 nolu pindeki gerilim op-amp çıkış özelliğinden dolayı, 0V civarındadır.



Şekil 8.1. Temel integral alıcı devre

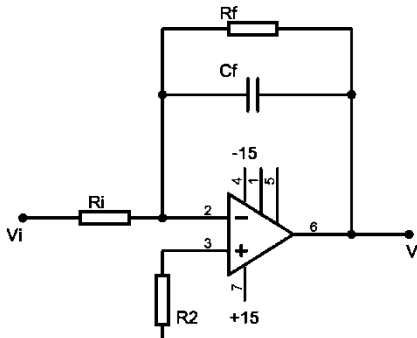
Bu durumda; $I_g = V_i / R_i$ yazılabilir.

$V_o = 1/C_f$ ve $I_f = -I_g$ olduğuna göre,

$$V_o = 1/C_f \times \int_0^t I_g dt = -1/C_f \times \int_0^t (V_i/R_i) dt$$

$$V_o = -1/(C_f \times R_i) \times \int_0^t V_i dt \text{ olarak bulunur.}$$

Bilindiği gibi integral anlam olarak bir eğrinin altında kalan alana karşılık gelmektedir. Op-amp devresindeki giriş ofset geriliminin giderek op-amp’ı doyuma götürmesini önlemek için Şekil 8.1’deki devre de değişiklik yapmak gerekir. Bu değişiklik C_f kondansatörüne paralel bir R_f direnci bağlanarak yapılır (Şekil 8.2). Giriş polarma akımlarının eşit olmamasından doğacak ofset gerilimini ve dolayısıyla bu gerilimin etkilerini gidermek amacıyla Şekil 8.2’de görüldüğü üzere R_2 direnci kullanılır.



Şekil 8.2. İntegral alıcı devre

Bu direncin değeri $R_2 = R_f // R_i$ yani $R_2 = (R_f \times R_i) / (R_f + R_i)$ olmalıdır. Devrenin bir integral alıcı olarak görev yapabilmesi için girişine uygulanan frekansı (f_i), f_c frekansından büyük ya da eşit olmalıdır. $[f_i > f_c = 1/(2\pi R_f C_f)]$

Ayrıca devrenin zaman sabitesi ($1/(R_i C_f)$) ile girişine uygulanan işaretin periyodu birbirlerine yakın değerde olmalıdırlar $f_i < f_c$ olduğunda devre eviren yükselteç olarak çalışır ve çıkışta girişin R_f/R_i kadar yükseltilmiş görür. İntegral alma işlemi türev almanın

tersi olduğundan bir integratör girişine kare dalga uygulandığında çıkışta üçgen dalga elde edilir.

Bu devrenin integral alıcı devre olarak çalışabilmesi için 2 kuralın yerine getirilmesi gerekmektedir.

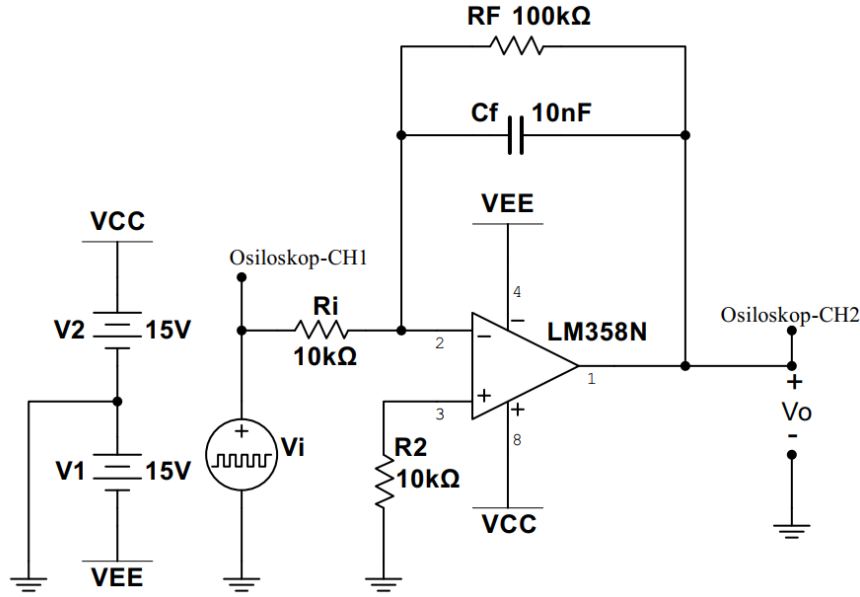
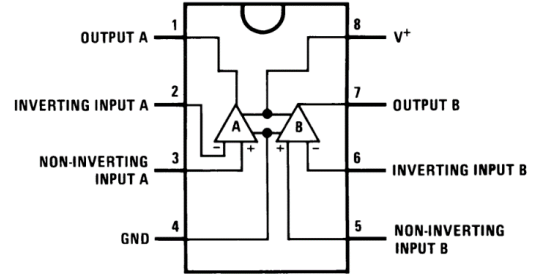
1. Giriş işaret frekansı; $f_i > \frac{1}{2\pi R_f C_f} = f_c$ olmalıdır. Aksi halde devre integral alıcı olarak çalışmaz.

(f_i = giriş frekansı, f_c = kesim frekansı)

2. Devrede $1/(R_i \times C_f)$ çarpımı zaman sabitesi olarak isimlendirilir. Giriş işaretinin periyodu yaklaşık bu değer civarında olmalıdır.

KULLANILAN ELEMANLAR

- Simetrik DC güç kaynağı
- LM358N Op-amp
- Direnç 100K Ω , 10K Ω (2 adet)
- Kondansatör 10 nF
- Osiloskop, Sinyal Jeneratörü

DENEY DEVRESİ:**LM358 Pin Outs**

Şekil 8.3. İntegral alıcı ile ilgili deney devresi

DENEY DEVRESİ HESAPLAMALARI:

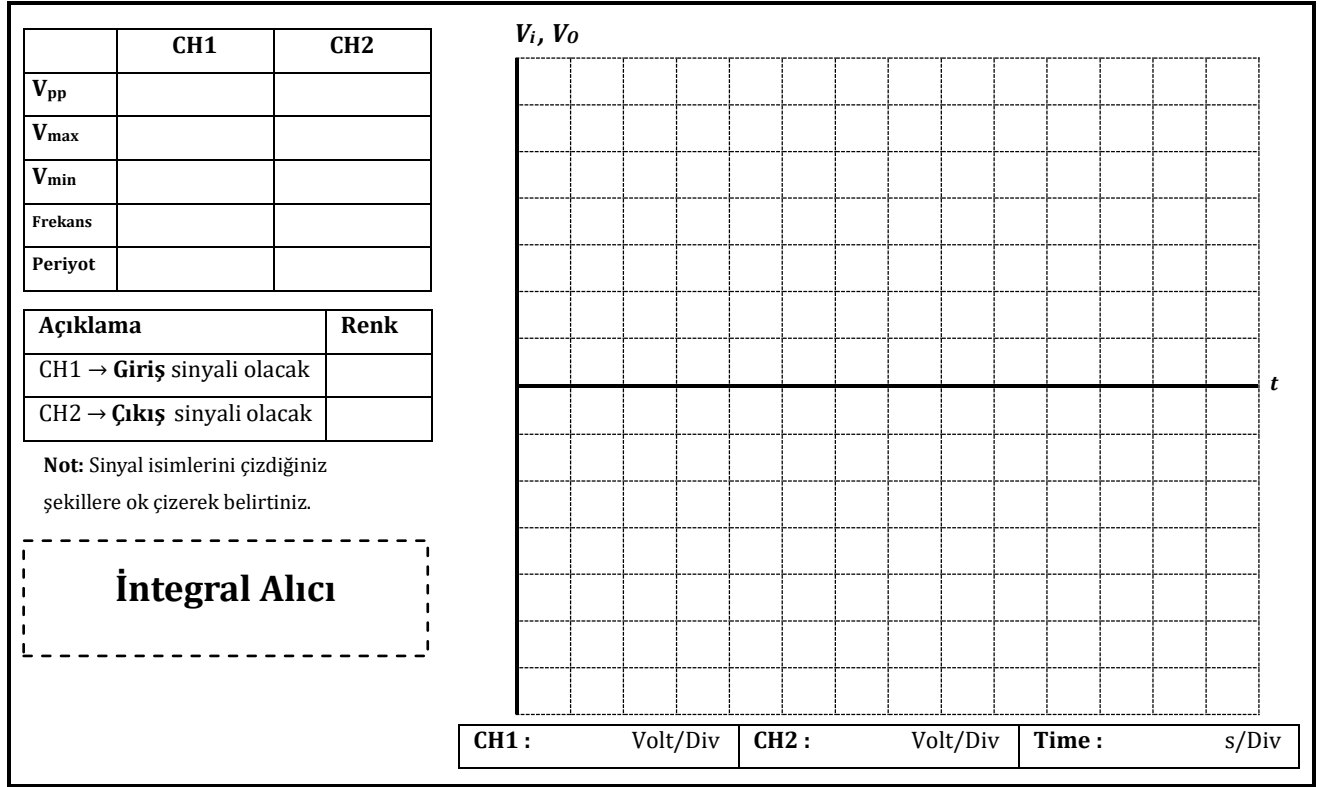
2. Şekil 8.3'deki devrede verilen değerlere göre Tablo 8.1'deki istenilen değerleri hesaplayınız.

Tablo 8.1. Şekil 8.3'teki devreye ait hesaplanan değerleri

Hesap			
$f_c = \frac{1}{2\pi R_f C_f}$	$\frac{1}{2\pi R_f C_f} =$	f_i	
$V_o = -\frac{1}{C_f * R_i} \times \int_0^t V_i * dt$		$V_o =$	

İŞLEM BASAMAKLARI:

1. Şekil 8.3'deki devreyi kurunuz.
2. V_i giriş sinyalini 4V_{p-p}, 10 KHz kare dalga olacak şekilde ayarlayın.
3. Giriş ve çıkış sinyallerini osiloskopta aynı anda görüntüleyerek sinyalleri Şekil 8.4'e çizin.
4. Girişe uygulanan kare dalganın genliği aynı kalmak şartı ile frekansını 5 kHz yaparak çıkışı gözlemleyiniz (📷 Fotoğraf çekin → [Görsel 8.1]).



Şekil 8.4. İntegral alıcı devreye ait giriş ve çıkış sinyalleri

5. Girişe uygulanan kare dalga'nın genliği aynı kalmak koşuluyla frekansını 50 KHz yaparak çıkışı gözlemleyiniz (📷Fotoğraf çekin → [Görsel 8.2]). Çıkış işaret şekli öncekilere kıyasla değişti mi? Niçin? Devrenin gerilim kazancı ne kadar? Devre sadece eviren yükselteç gözüyle bakılabilir mi? Niçin? [Soruların açıklamalarını 3.adımda yapınız.]
6. R_f direncine paralel bir 10K direnç bağlayarak çıkışı gözlemleyiniz (📷Fotoğraf çekin → [Görsel 8.3]). Nelerin değiştiğini açıklayınız.

SORULAR

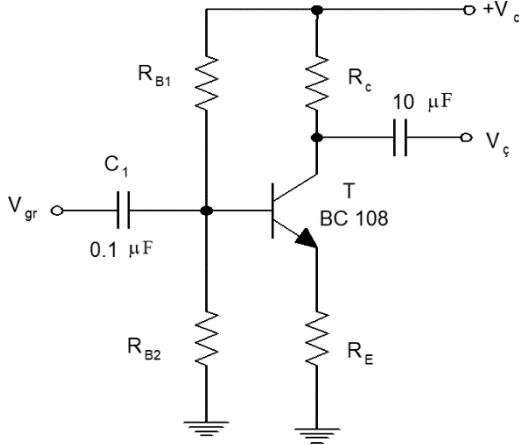
1. V_o 'nun hesaplanan genlik değeri deneyde ölçülen ile aynı mıdır?
2. 4.adımda çıkışta gözlemlediğiniz işarete ne gibi değişiklikler oldu? Bu değişiklikleri nasıl açıklarsınız?
3. 5.adımda sorulan soruları burada cevaplayınız.
4. 6.adımda sorulan soruları burada cevaplayınız.

SONUÇ:

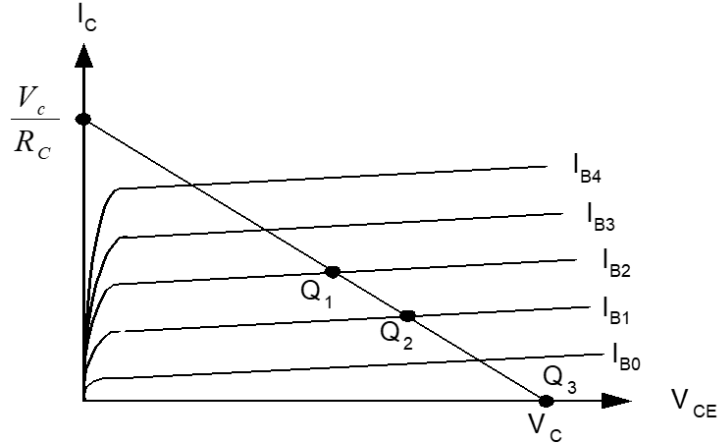
Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 9 — B Tipi Yükselteç Çalışmasının İncelenmesi**DENEYİN ADI:** B Tipi Yükselteç Çalışmasının İncelenmesi**DENEYİN AMACI:** Bir transistörün B tipi çalışmasını incelemek.**TEORİK BİLGİ:**

Transistörün çalışma noktasının bulunduğu yere göre çalışma türü A, AB, B veya C şeklinde sınıflandırılır. Bu sınıflandırma emiteri ortak devrede incelenmektedir. Şekil 9.1’de emiteri ortak bir devre, Şekil 9.2’de ise çıkış I-V grafik ailesi görülüyor. Açıklamalar NPN tipi transistör için yapılacaktır.



Şekil 9.1. Ortak emiterli bir devre



Şekil 9.2. Ortak emiter bir transistör çıkış karakteristiği

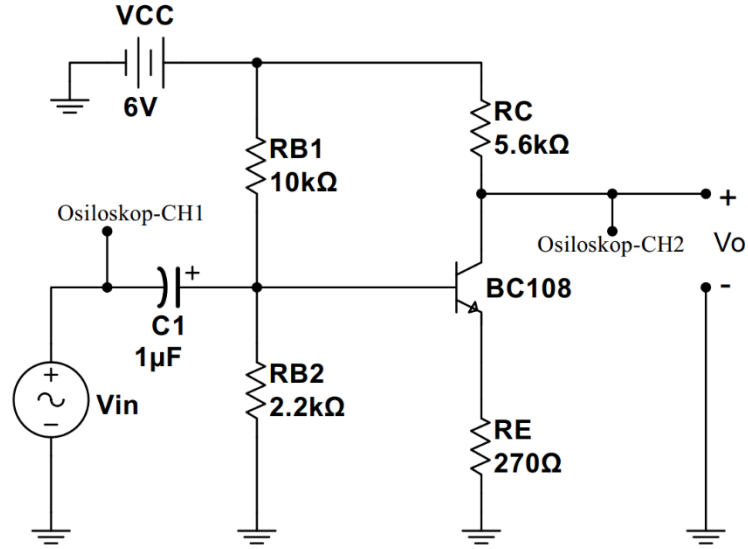
Transistörün Beyz-Emiter birleşim yüzeyi üzerindeki DC polarma 0V yapıldığında I_b ve dolayısıyla I_c akımı 0 olur. Bu durumda çalışma noktası Q_3 ’dedir. Giriş işaretinin pozitif alternanslarında kollektörde akım akmasına karşın negatif alternanslarda kollektör akımı akamaz. Bu şekilde, yarı periyot süresince kollektör akımının akmaması türündeki çalışmayı “B tipi çalışma” denir. Bu tip çalışmada, girişe işaret uygulanmazken kollektör akımı sıfırdır ve transistörde bir güç harcaması olmaz. Tablo 9.1’de B tipi çalışmada çıkış işaretinin durumu görülmektedir.

Tablo 9.1 B tipi çalışmada giriş ve çıkış işaretinin durumu

Çalışma Noktası	Giriş İşareti	Çıkış İşareti	Çalışma tipi
Q_3			B

KULLANILAN ELEMANLAR

- Direnç 5.6 K Ω , 2.2 K Ω , 270 Ω
- Transistör BC108
- Kapasitör 1 μ F
- Multimetre
- Osiloskop, Sinyal Jeneratörü

DENEY DEVRESİ

Şekil 9.3. B tipi yükselteç deney devresi

İŞLEM BASAMAKLARI:

1. Şekil 9.3 'deki deney devresini kurunuz
2. Vin giriş sinyalini 0.5Vp-p, 56 KHz sinüs dalga olacak şekilde ayarlayınız
3. Osiloskobun CH2'sini DC kuplaj konumuna alınız, giriş ve çıkış sinyallerini osiloskopta aynı anda görüntüleyerek sinyalleri Şekil 9.4'e çiziniz.
4. Kollektör akımını multimetre ile DC ve AC olarak ölçüp, Tablo 9.2'de ilgili yere not ediniz.

!!! DC ölçüm yaparken giriş sinyalini devreden çıkartınız.

Tablo 9.2. Ic akım değerleri

	Ic	
	AC	DC
Simülasyon		
Deney		

	CH1	CH2
V_{pp}		
V_{max}		
V_{min}		
Frekans		
Periyot		

Açıklama	Renk
CH1 → Giriş sinyali olacak	
CH2 → Çıkış sinyali olacak	

Not: Sinyal isimlerini çizdiğiniz şekillere ok çizerek belirtiniz.

B Tipi Yükselteç

V_i, V_o

t

CH1 : Volt/Div	CH2 : Volt/Div	Time : s/Div
---------------------	---------------------	-------------------

Şekil 9.4. B tipi yükseltece ait giriş ve çıkış sinyalleri

SORULAR

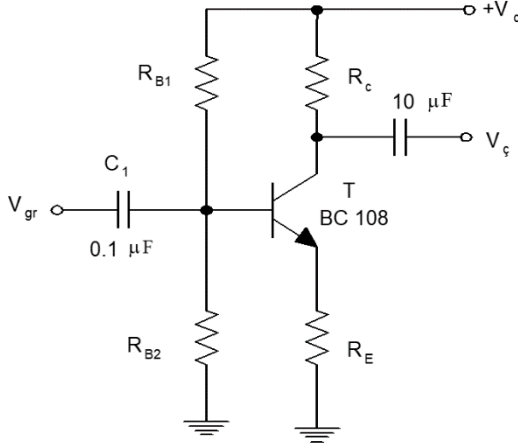
- Çıkış işaretinde bozulma var mı? Nedenini açıklayınız. Bozulma süresi tüm periyodun kaçta kaçıdır?
Bu durumda yükselteç B tipi çalışma yapıyor denebilir mi?

SONUÇ:

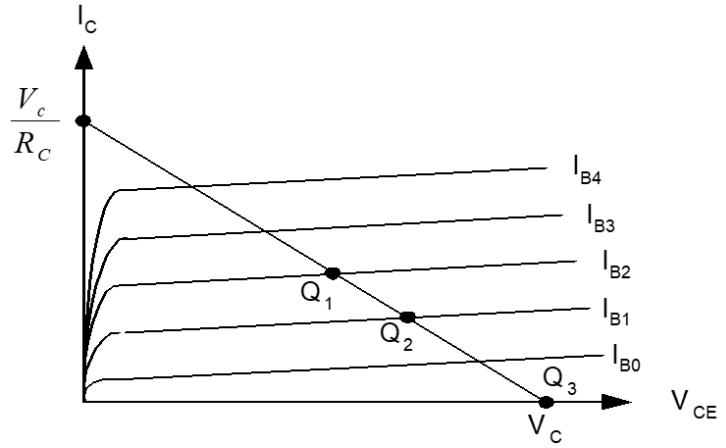
Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 10 — C Tipi Yükselteç Çalışmasının İncelenmesi**DENEYİN ADI:** C Tipi Yükselteç Çalışmasının İncelenmesi**DENEYİN AMACI:** Bir transistörün C tipi çalışmasını incelemek.**TEORİK BİLGİ:**

Transistörün çalışma noktasının bulunduğu yere göre çalışma türü A, AB, B veya C şeklinde sınıflandırılır. Bu sınıflandırma emiteri ortak devrede incelenmektedir. Şekil 10.1’de emiteri ortak bir devre, Şekil 10.2’de ise çıkış I-V grafik ailesi görülmüyor. Açıklamalar NPN tipi transistör için yapılacaktır.



Şekil 10.1. Ortak emiterli bir devre



Şekil 10.2. Ortak emiter bir transistör çıkış karakteristiği

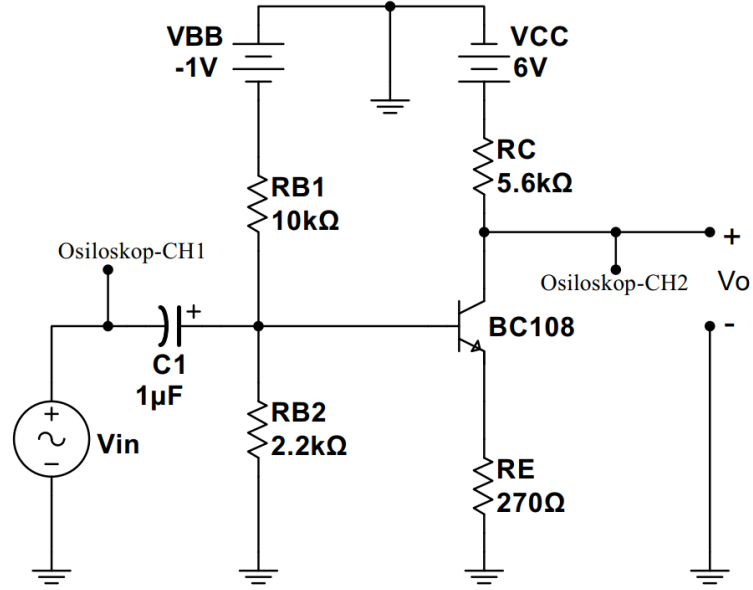
Transistörün beyz-emiter birleşim yüzeyi az miktarda ters polarmaya uğratıldığında ise transistör sadece pozitif alternansın bir bölümünde iletken olacak ve kollektör akımı akacaktır. Bu tip çalışmada kollektör akımı yarım periyottan da daha kısa bir süre için mevcut olacaktır. Transistörün bu şekilde çalışmasına “C tipi çalışma” denir. Tablo 10.1’e bakınız. C tipi çalışan transistörlerle “C tipi güç yükselteçleri” yapılır. Bu tip yükselteçler özellikle radyo frekans işaretlerinde kullanılır. Çıkışlarına bağlanan bir tank devresi ile işaretin bozulmadan yükseltilmesi sağlanmış olur. C tipi yükselteç ile daha küçük güçlü transistör kullanarak, A, AB, B tipi yükselteçlerde ulaşılan güç yükseltimine ulaşabilir.

Tablo 10.1 C tipi çalışmada giriş ve çıkış işaretinin durumu

Çalışma Noktası	Giriş İşareti	Çıkış İşareti	Çalışma tipi
Q ₄			C

KULLANILAN ELEMANLAR

- Direnç 5.6 K Ω , 2.2 K Ω , 270 Ω
- Transistör BC108
- Kapasitör 1 μ F
- Multimetre
- Osiloskop, Sinyal Jeneratörü

DENEY DEVRESİ

Şekil 10.3. C tipi yükselteç deney devresi

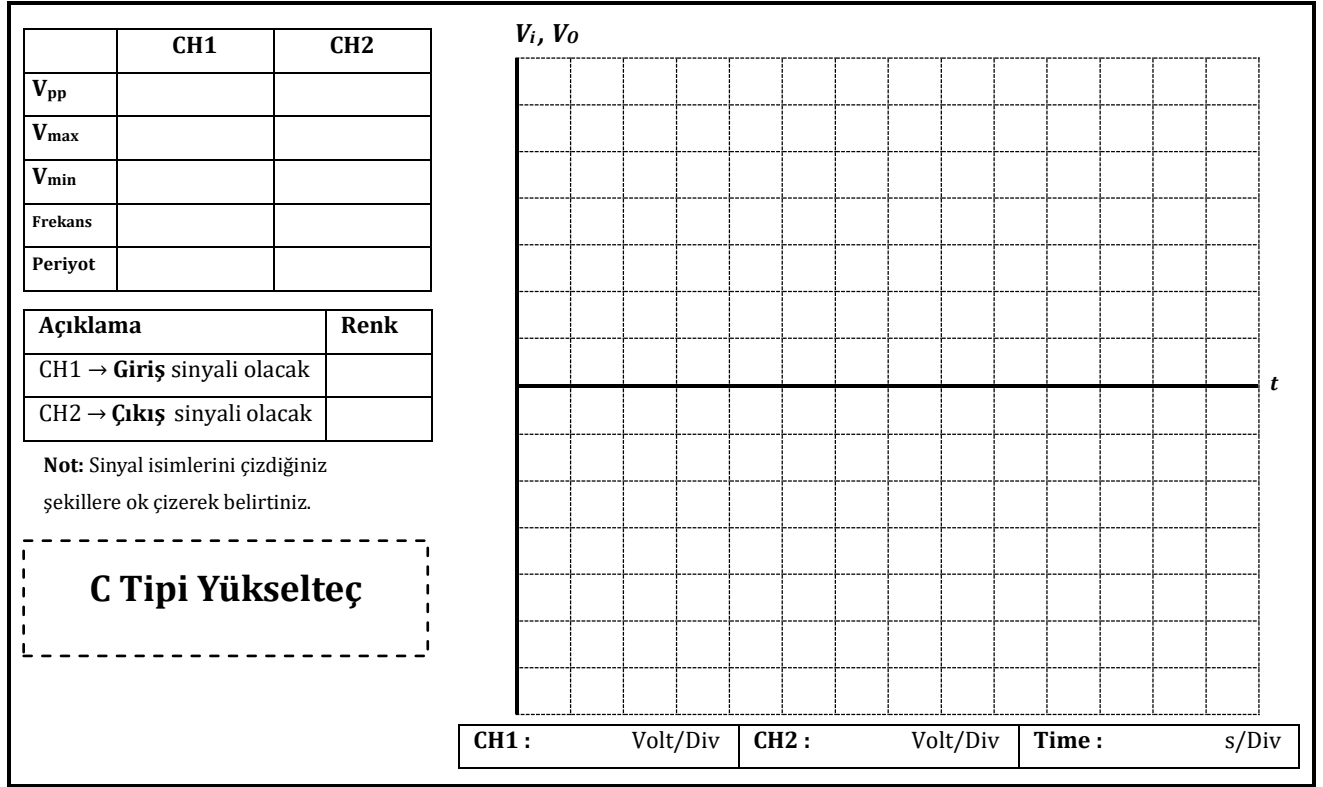
İŞLEM BASAMAKLARI:

1. Şekil 10.3 'deki deney devresini kurunuz
2. Vin giriş sinyalini 3Vp-p, 56 KHz sinüs dalga olacak şekilde ayarlayın
3. Osiloskobun CH2'sini DC kuplaj konumuna alınız, giriş ve çıkış sinyallerini osiloskopta aynı anda görüntüleyerek sinyalleri Şekil 10.4'e çiziniz.
4. Kollektör akımını multimetre ile DC ve AC olarak ölçüp, Tablo 10.2'de ilgili yere not ediniz.

!!! DC ölçüm yaparken giriş sinyalini devreden çıkartınız.

Tablo 10.2. Ic akım değerleri

	Ic	
	AC	DC
Simülasyon		
Deney		



Şekil 10.4. B tipi yükseltece ait giriş ve çıkış sinyalleri

SORULAR

- Çıkış işaretinde bozulma var mı? Nedenini açıklayınız. Bozulma süresi tüm periyodun kaçta kaçıdır?
Bu durumda yükselteç C tipi çalışma yapıyor denebilir mi?
- DC kollektör akımı B tipi çalışma tipine kıyasla ne durumdadır? Açıklayınız.
- Hangi tip çalışma transistörde en az güç harcamaktadır? Niçin? Açıklayınız.

SONUÇ:

Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

DENEY NO: 11 — Seri Gerilim Regülatörü**DENEYİN ADI:** Seri Gerilim Regülatörü

DENEYİN AMACI: Basit bir seri gerilim regülatörünün performansını ve çalışmasını öğrenmek.

TEORİK BİLGİ:

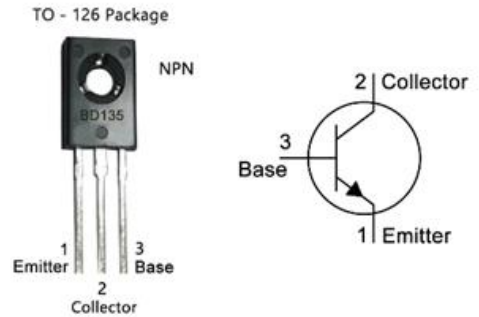
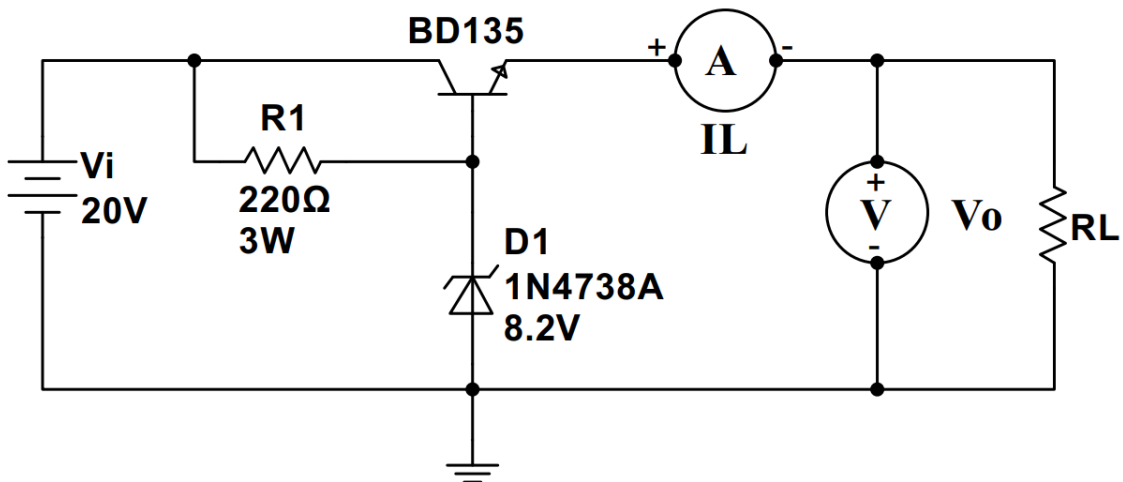
Gerilim regülatörünün karakteristikleri, transistör gibi aktif elemanlar kullanılarak önemli ölçüde iyileştirilebilir. Şekil 11.1’de transistörlü seri tip basit bir gerilim regülatörü verilmiştir. Bu düzenlemede transistör, direnci, çalışma koşulları ile belirlenen basit bir ayarlanabilir direnç gibi davranır.

Gerilim regülasyonu, yük akımı ihtiyacına bağlı uç gerilimindeki değişimlerin kaydedilmesi ile belirlenir. Devrede R_L ’nin azalmaya bağlı olarak artan akım ihtiyacı, V_{RL} ’nin genliğinde azalma eğilimi oluşturacaktır. Çıkış çevresi etrafında kirchof gerilim denklemini yazarsak; $V_{BE}=V_Z-V_{RL}$ V_{RL} deki azalma (V_Z nin genliği sabir olduğundan) V_{BE} de bir artış oluşturacaktır.,

Karşılık olarak bu da transistörün iletim düzeyini arttıracak ve sonuçta uç (kollektör-emiter arası) direncinde azalmaya neden olacaktır. Yukarıda da belirtildiği gibi buda V_Z yi sabit bir noktada tutmak için arzu edilen bir sonuçtur. Sonuç olarak seri gerilim regülatörü, çeşitli yükleme durumlarına göre, çıkışında sabit değerde bir DC işaret elde eder.

KULLANILAN ELEMANLAR:

- Direnç $1K\Omega$, $470K\Omega$
- Elektrolitik Kondansatör $0.1\mu F$ (2 adet)
- Transistor BD135
- Osiloskop
- Multimetre
- Sinyal jeneratörü

BD135 Transistor Pinout**DENEY DEVRESİ:**

Şekil 11.1. Seri gerilim regülatörü deney devresi

İŞLEM BASAMAKLARI:

1. Deney devresini Şekil 11.1'deki gibi kurunuz. V_i DC gerilimini 20V'a ayarlayınız.
2. Tablo 11.1'de verilen R_L değerlerine göre R_L 'yi değiştirin ve çıkış gerilimlerini ve geçen akımları ölçerek tabloya kaydedin.

Tablo 11.1 R_L direncinin değişimine karşılık V_O geriliminin değişimi

Simülasyon Verileri		
R_L	V_O	I_L
100 Ω	V	mA
500 Ω	V	mA
1000 Ω	V	mA

Deney Verileri		
R_L	V_O	I_L
100 Ω	V	mA
500 Ω	V	mA
1000 Ω	V	mA

3. $R_L = 1 \text{ K}\Omega$ iken Tablo 11.2'de verilen V_i değerlerine göre V_i 'yi değiştirin ve çıkış gerilimlerini ölçerek tabloya kaydedin.

Tablo 11.2 V_i geriliminin değişimine karşılık V_O geriliminin değişimi

Simülasyon Verileri		Deney Verileri	
V_i	V_O	V_i	V_O
5 V	V	5 V	V
10 V	V	10 V	V
15 V	V	15 V	V

SORULAR

1. R_1 direnci devreye niçin koyulmuştur?
2. Girişteki gerilim değişimleri nerede telafi ediliyor?

SONUÇ:

Bu kısımda deneyim tamamından ne anladığınızı yazarak açıklayınız.

EK – 1: Deney Raporunun Hazırlanışı

1. Deney raporları deney föyüne ek olarak A4 boyutundaki çizgisiz kağıda hazırlanacaktır. Kağıdın sol kenarından 2 cm, diğer kenarlardan 1 cm boşluk bırakılarak çerçeve çizilecek ve rapor bu çerçeve içerisine el yazısı ile yazılacaktır.
2. Deney raporlarında çizilecek grafiklerde isteyen milimetrik kağıt kullanabileceği gibi föyde verilen grafik çizim yerlerine de çizimler yapılabilir.
3. Çizilecek osiloskop görüntülerinde sinyalin en az 2 periyodunu çizin. Giriş ve çıkış sinyallerini farklı renkler kullanarak çizmelişiniz. Ayrıca çizilen sinyallerin dikey kare başına düşen gerilim değerini ve yatay kare başına düşen zaman değerlerini mutlaka net bir şekilde gösterip yazmanız gerekmektedir.
4. Raporlar deney yapıldıktan bir hafta sonra teslim edilecektir. Öğrenci 1. haftadan sonra da raporlarını teslim edebilir fakat geç teslim edenlerden gün başına %10 not kesilir. 2. Haftadan sonra kesinlikle rapor kabul edilmez.
5. Telafi raporları vaktinde teslim edilmelidir. Rapor geç teslim edilirse hiç değerlendirilmeye alınmaz.
6. Deney ve rapor birlikte değerlendirilmektedir. Deneye katılmayan rapor veremez. Deneye katılan öğrenci rapor vermez ise o haftaki deneyden not alamaz.
7. Deney raporunda bir sonraki sayfada verilen rapor kapağı kullanılacaktır.
8. Rapor düzeni “Kapak + Deney Föyü + Rapor” şeklinde sıralanacak ve .pdf uzantılı hale getirildikten sonra ‘lms’ sisteminde ilgili deney için açılmış ödev yerine yüklenecektir.
 - Deney föyü kısmında föyde verilen teorik bilgilerin olduğu sayfalar deney raporlarına eklenmemelidir. Deney föyü kısmında ilgili deneyde eğer varsa tablo veya şekil içeren sayfalar eklenmelidir. Bu şekilde .pdf dosyalarının boyutlarının büyümesinin ve de fazla sayfa kalabalığının önüne geçilmesi amaçlanmaktadır.
9. Raporların dosya boyutu 2 MB’dan az olması tercih edilir. **5 MB’dan daha büyük dosyalar kabul edilmeyecektir.**
10. Hazırlanan raporların dosya isimleri:

“--EE_208-23_24B-Deney_xx-Şube_xx-öğrenciNo-Ad SOYAD.pdf” olacak şekilde düzenlenecektir.

Dosya isimlendirmeleri için bu linki kullanabilirsiniz:

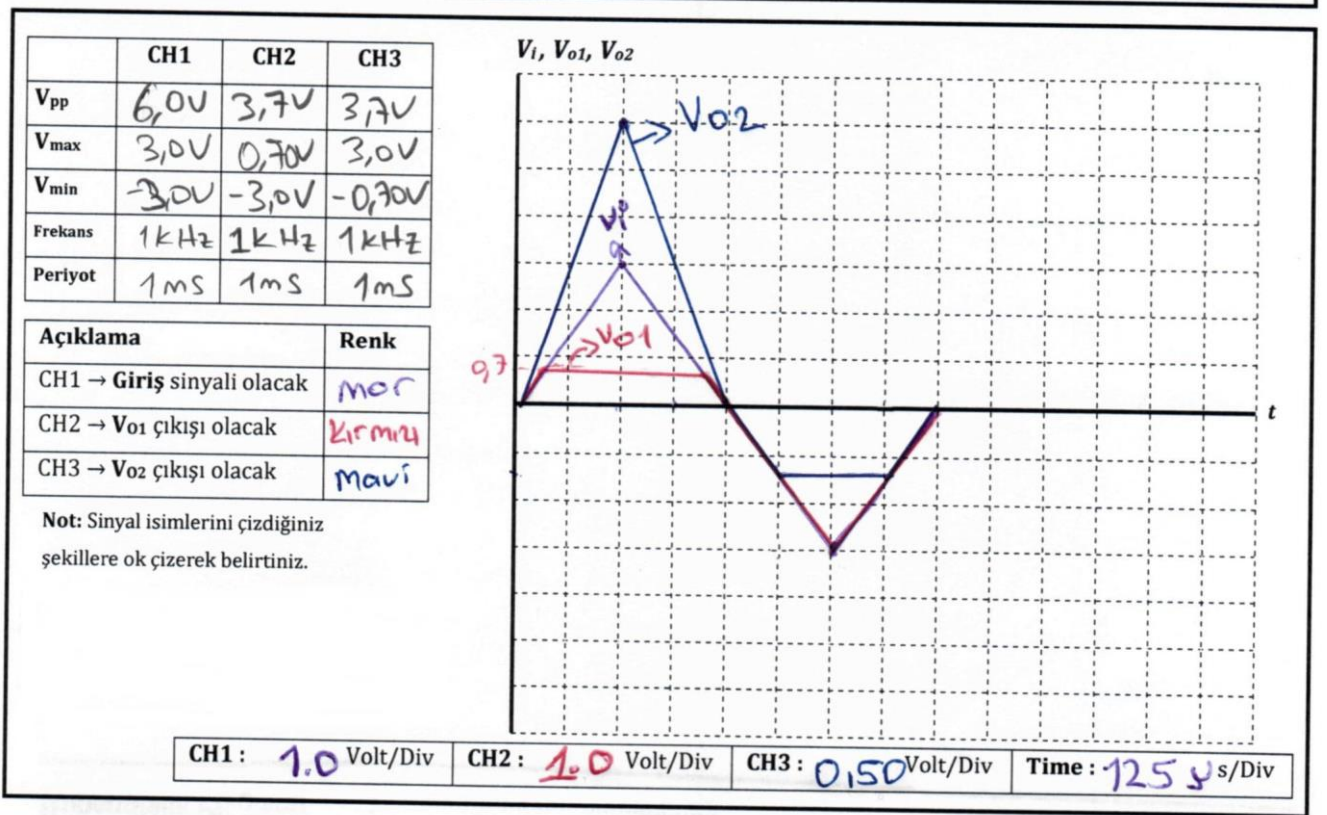
<https://tf-eem.gazi.edu.tr/view/page/291518>

Örnek olarak → “--EE_365-23_24B-Deney_05-Şube_04-2125695235-Özcan AKÇEŞME.pdf”

EK – 2: Osiloskop Görüntüleri Nasıl Çizilir?

- Çizim yapılırken ilk öncelikle yatay eksenin bir kare başına düşen saniye değeri yazılarak başlanılmalıdır. Çünkü bu grafikte yatay eksen bütün şekiller için tek bir değer alabilir.
- Dikey eksenlerde ise öncelikle her bir kare başına dikeyde kaç volt düşüyor bunu yazmak gerekiyor ve bunu göre de sinyal çizimlerine başlanabilir.
- Örneğin aşağıdaki çizimde olduğu gibi V_{O2} çıkışı 0.5 volt alınarak daha ayrıntılı gösterilmesi sağlanmıştır.
- CH1 ve CH2 sinyalleri ikisi de her bir dikey kare başına 1.0 volt olacak şekilde çizilmiştir. Bu grafiklerde önemli olan kısım sinyali okuyabilmek için gerekli olan 2 bilgidir. Bunlardan ilki sinyalin periyodu ifade eden yatay kare başına düşen zaman değeridir.
- İkincisi ise gerilim değerleridir. Bu bilgiyi de dikey karenin kaç birim volt olduğuna bakılarak bulunur. Örnek olarak CH3 V_{max} gerilim değerini $\rightarrow 6 \text{ kare} \times 0.5 \text{ Volt} = 3V$ şeklinde hesaplayabiliriz.
- Böylelikle ölçüm aldığımız 3 sinyalin üçünü de tek bir grafikte ifade edebilmekteyiz.

Örnek osiloskop görüntüsü çizimi:



EK – 3: Malzeme Listesi

Tavsiye edilen malzeme listesi aşağıdaki gibidir. Normalde deneylerde ihtiyaç duyduğumuz malzeme adetleri soldaki tabloda verilmiştir. İsteyen istediği gibi malzeme almakta özgürdür.		
Malzeme Listesi		
Cinsi	Açıklama	Adet
Direnç	100 Ω / 1W	2
	100K Ω / 0,25W	5
	10K Ω / 0,25W	10
	120K Ω / 0,25W	5
	12K Ω / 0,25W	5
	15K Ω / 0,25W	5
	1K Ω / 0,25W	10
	1M Ω / 0,25W	5
	2.2K Ω / 0,25W	5
	220 Ω / 3W	2
	22K Ω / 0,25W	5
	270 Ω / 0,25W	5
	270K Ω / 0,25W	5
	33K Ω / 0,25W	5
	390 Ω / 0,25W	5
	4.7 M Ω / 0,25W	5
	4.7K Ω / 0,25W	5
	470 Ω / 0,25W	5
	5.6K Ω / 0,25W	5
	500 Ω / 0,5W	2
	8.2K Ω / 0,25W	5
	82K Ω / 0,25W	5
Kapasitör	10uF/16V Elektrolitik Kondansatör	5
	1uF/16V Elektrolitik Kondansatör	10
	47uF/16V Elektrolitik Kondansatör	5
	470uF/16V Elektrolitik Kondansatör	2
Kondansatör	10nF/16V Kutupsuz Kondansatör	5
	1nF/16V Kutupsuz Kondansatör	5
Zener Diyot	1N4738A / 8.2V Zener	5
Transistör	BC108C	5
	BC237	3
	BD135	2
FET	BF245C	5
OPAMP	LM358N PDIP Opamp	5
POT	4.7K Ω Potansiyometre	1
Diğer	Breadboard	1
	Erkek-Erkek Jumper Kablo Seti 40'lı	1
	Krokodil-Krokodil Kablo Seti 5 Renk	1

Tüm Deneylerde Kullanılan Malzemelerin Özeti	
Row Labels	Sum of Adeti
Direnç	42
100 Ω / 1W	1
100K Ω / 0,25W	2
10K Ω / 0,25W	8
120K Ω / 0,25W	1
12K Ω / 0,25W	1
15K Ω / 0,25W	1
1K Ω / 0,25W	6
1M Ω / 0,25W	1
2.2K Ω / 0,25W	5
220 Ω / 3W	1
22K Ω / 0,25W	1
270 Ω / 0,25W	2
270K Ω / 0,25W	1
33K Ω / 0,25W	1
390 Ω / 0,25W	1
4.7 M Ω / 0,25W	1
4.7K Ω / 0,25W	1
470 Ω / 0,25W	1
5.6K Ω / 0,25W	2
500 Ω / 0,5W	1
8.2K Ω / 0,25W	2
82K Ω / 0,25W	1
Kapasitör	9
10uF/16V Elektrolitik Kondansatör	3
1uF/16V Elektrolitik Kondansatör	4
470uF/16V Elektrolitik Kondansatör	1
47uF/16V Elektrolitik Kondansatör	1
Zener Diyot	1
1N4738A / 8.2V Zener	1
(blank)	
(blank)	
Transistör	5
BC108C	3
BC237	1
BD135	1
Potansiyometre	1
4.7K Ω Potansiyometre	1
FET	4
BF245C	4
Kondansatör	3
10nF/16V Kutupsuz Kondansatör	2
1nF/16V Kutupsuz Kondansatör	1
Op-amp	3
LM358N PDIP Opamp	3
Grand Total	68



TEKNOLOJİ FAKÜLTESİ

Elektrik-Elektronik Mühendisliği Bölümü

EE-365 ELEKTRONİK LABORATUVARI-II

DENEY RAPORU

Öğretim Üyesi :	
Deney No :	
Deney Tarihi ve Saati :	

Öğrencinin

Adı Soyadı :	
Numarası :	
Şubesi:	